

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.: New Application Group Art Unit: Unknown
Filing Date: August 27, 2003 Examiner: Unknown
Applicants: Hideki MORII Conf. No.: Unknown
Title: DISPLAY DEVICE, CONTROL DEVICE OF DISPLAY DRIVE
CIRCUIT, AND DRIVING METHOD OF DISPLAY DEVICE

PRIORITY LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:


Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-246781	8/27/2002	JP

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
Donald J. Daley, Reg. No. 34,313

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

DJD:bmd

Enclosure

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月27日

出 願 番 号

Application Number:

特願2002-246781

[ST.10/C]:

[JP 2002-246781]

出 願 人

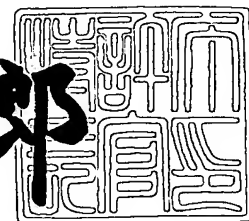
Applicant(s):

シャープ株式会社

2003年 6月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047276

【書類名】 特許願
【整理番号】 02J02167
【提出日】 平成14年 8月27日
【あて先】 特許庁長官 殿
【国際特許分類】 G09G 3/20 610
G09G 3/20 621

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森井 秀樹

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置および表示駆動回路の制御装置ならびに表示装置の駆動方法

【特許請求の範囲】

【請求項 1】

画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、

上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と

表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、

上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置において、

上記制御装置は、上記データイネーブル信号の入力タイミングから上記列駆動回路が 1 垂直期間の最初の水平期間の上記列駆動信号を出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力することを特徴とする表示装置。

【請求項 2】

上記列駆動タイミング信号は、上記行駆動信号を上記行ラインのそれぞれに順次出力するタイミングを決めるように上記行駆動回路内でシフトされる 1 パルスからなるスタートパルス信号と、上記スタートパルス信号をシフトさせるタイミ

ングを決めるシフトクロック信号とを含んでおり、

上記制御装置は、上記データイネーブル信号の入力タイミングで上記スタートパルス信号を生成開始し、上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように上記行駆動回路が上記スタートパルス信号を取り込むための上記シフトクロック信号の1クロック目を、上記入力タイミングから上記クロック信号のクロックを所定数カウントした時点で生成することを特徴とする請求項1に記載の表示装置。

【請求項3】

上記制御装置は、1水平期間の上記表示データを上記列駆動回路に入力完了した後の水平帰線期間分の経過期間内に、上記列駆動回路が上記列駆動信号を出力するタイミングを決める上記列駆動用タイミング信号である列駆動開始タイミング信号を上記列駆動回路に入力し、上記シフトクロック信号の上記1クロック目より後のクロックを上記列駆動開始タイミング信号に合わせて上記行駆動回路に入力することを特徴とする請求項2に記載の表示装置。

【請求項4】

上記制御装置は、入力される上記表示データを1水平期間遅延させて上記列駆動回路に入力することを特徴とする請求項1に記載の表示装置。

【請求項5】

表示に有効な上記画素に接続された上記行ラインは1050本であり、上記行駆動回路は263個の上記行駆動信号の出力端子を備えたドライバICが4個カスケード接続されたものであることを特徴とする請求項1ないし4のいずれかに記載の表示装置。

【請求項6】

画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、

上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と

表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、

上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置において、

上記行駆動回路はドライバ I C がシステム・オン・フィルム構造により実装されたものであり、所定のドライバ I C における最終の上記行ラインに対応する上記行駆動信号の出力端子の次に設けられた出力端子から、I C チップの下方を通るように配線が引き回され、上記配線が上記表示パネルに設けられた最上段の上記行ラインよりもさらに上段にダミーの行ラインとして延設されていることを特徴とする表示装置。

【請求項 7】

画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、

表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路とを備える表示駆動回路を制御する、表示駆動回路の制御装置であって、

上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力し、

上記データイネーブル信号の入力タイミングから上記列駆動回路が 1 垂直期間

の最初の水平期間の上記列駆動信号を出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力することを特徴とする表示駆動回路の制御装置。

【請求項 8】

画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、

上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と

表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、

上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置を駆動する表示装置の駆動方法であって、

上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する表示装置の駆動方法において、

上記データイネーブル信号の入力タイミングから上記列駆動回路が 1 垂直期間の最初の水平期間の上記表示データを出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号

を生成して上記行駆動回路に入力することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マトリクス型の表示装置の駆動に関するものである。

【0002】

【従来の技術】

マトリクス型の表示装置として、TFT(薄膜トランジスタ:Thin Film Transistor)が形成されたアクティブマトリクス基板および上記TFTを駆動するためのドライバIC(Integrated Circuit)を備えた液晶表示装置が広く知られている。

【0003】

図18に、TFTアクティブマトリクス方式の液晶表示装置101の構成を示す。液晶表示装置101には、マトリクスの行駆動回路としてゲートドライバ102、列駆動回路としてソースドライバ103が設けられている。

【0004】

透明な基板上には、それぞれ複数本の、ゲートドライバ102によって駆動されるゲートライン $G_n \cdot G_{n+1} \cdot \dots$ (総称するときは、以下参照符Gで示す)と、ソースドライバ103によって駆動されるソースライン $S_n \cdot S_{n+1} \cdot \dots$ (総称するときは、以下参照符Sで示す)とが相互に直交するように形成されている。そして、これらの各ゲートラインGと各ソースラインSとが交差するそれぞれの箇所に画素PIXが形成されている。画素PIXは、TFT104、液晶105、補助容量106を備えている。また、ゲートラインGとソースラインSとによって区分された領域には、液晶105および補助容量106の一方の電極となる画素電極107(図19)が形成されており、この画素電極107はTFT104のドレイン電極に接続されている。第n行、第n列目の画素PIXでは、前記TFT104のソース電極は第n列目のソースライン S_n に接続され、ゲート電極は第n行目のゲートライン G_n に接続される。

【0005】

このように各画素 P I X が形成される液晶表示装置 1 0 1 において、ゲートライン G と画素電極 1 0 7 との関係に着目すると、図 1 8 の液晶表示装置 1 0 1 は、第 n 行目のゲートライン G n が第 n 行目の画素電極 1 0 7 の下側に配置される、いわゆる下ゲート構造の液晶表示装置である。そして、前記画素電極 1 0 7 とゲートライン G n, G n - 1 との間には、図 1 9 に示すようにそれぞれ寄生容量 C g d 1 ・ C g d 2 が形成されることになる。ここで、第 1 行目の画素について考えると、前記第 n 行目の画素におけるゲートライン G n - 1 に対応するゲートライン G 0 は形成されておらず、前記寄生容量 C g d 2 が形成されないことになる。図 1 8 に、第 1 行目 (G 1 ライン) の画素と第 2 行目以降 (G n (n ≠ 1) の画素とにおいて、これらの寄生容量 C g d 1 ・ C g d 2 が形成されている場合の等価回路の相違を示す。

【 0 0 0 6 】

一方、図 2 0 に示すように、各ゲートライン G には振幅が V g p p のゲート信号が順次印加されるが、このゲート信号によって T F T 1 0 4 のドレインレベルが変動する。すなわち、第 n 行目の画素 P I X においては、寄生容量 C g d 2 を介して、ゲートライン G n - 1 のゲート信号が T F T 1 0 4 のドレインレベルを $\Delta V 2$ だけ変動させ、寄生容量 C g d 1 を介して、ゲートライン G n のゲート信号が T F T 1 0 4 のドレインレベルを $\Delta V 1$ だけ変動させる。

【 0 0 0 7 】

ここで、画素 P I X の液晶の容量を C l c で示し、補助容量を C c s で示すとき、前記 $\Delta V 2$, $\Delta V 1$ は、

$$\Delta V 1 = V g p p \times \{ C g d 1 / (C l c + C c s + C g d 1 + C g d 2) \}$$

$$\Delta V 2 = V g p p \times \{ C g d 2 / (C l c + C c s + C g d 1 + C g d 2) \}$$

と表すことができる。

【 0 0 0 8 】

そして、自段のゲートライン G n のゲート信号によって起こされる $\Delta V 1$ は、T F T 1 0 4 のドレインレベルの振幅の中心 V c o m を、ソース信号の振幅の中心 V s c から該 $\Delta V 1$ だけ低くするように作用し、前段のゲートライン G n - 1 のゲート信号によって起こされる $\Delta V 2$ は、液晶 1 0 5 への印加電圧の実効

値を増加させるように作用する。

【 0 0 0 9 】

第 1 行目の画素 P I X では、前述のように寄生容量 C g d 2 を形成する前段のゲートライン G 0 が存在しないので、前記 $\Delta V 2$ は発生せず、該第 1 行目の画素 P I X のみ、他の行に比べて液晶 1 0 5 への印加電圧の実効値が低くなる。この実効値の差が問題であり、該 $\Delta V 2$ が大きい場合や、高温または低温状態など、表示装置の駆動条件が悪化すると、該第 1 行目の画素 P I X のみ、他の画素 P I X に比べて表示の明るさが変わって見えるという問題が生じる。たとえば、ノーマリーホワイト液晶である場合には、該第 1 ラインは輝線化する。

【 0 0 1 0 】

そこで、上記課題を解決するために、たとえば特開平 9 - 2 8 8 2 6 0 号公報および特開平 8 - 4 3 7 9 3 号公報には、下ゲート構造のパネルに、第 1 行目の画素に近接して、有効表示領域外には、該第 1 行目の画素と残余の画素との上記のような非対称性を補償するためのダミーライン G 0 を形成することが記載されている。前記ゲートライン G 1 ~ G m は出力端子 O G 1 ~ O G m からのゲート信号でそれぞれ駆動されるとともに、増加したダミーライン G 0 は最終 m 行目のゲートライン G m と並列に接続されて同時に駆動される。以下、これを従来技術 1 とする。

【 0 0 1 1 】

従来技術 1 によるゲートドライバ 1 0 2 の構成例を図 2 1 に示す。この場合のゲートドライバ 1 0 2 は T A B (Tape Automated Bonding) 方式によって T C P (Tape Carrier Package) 1 1 1 上に搭載されたドライバ I C 1 1 2 が複数個カスケード接続されたものである。ゲートドライバ 1 0 2 は、画素 P I X …、ゲートライン G …、およびソースライン S …が形成された液晶パネル 1 1 3 とプリント基板 1 1 4 とを接続している。各ドライバ I C 1 1 2 は端子 O G 1 ~ O G 2 5 6 の 2 5 6 個の出力端子を有しており、同図はこれが 3 個接続された場合の構成を示している。

【 0 0 1 2 】

各ドライバ I C 1 1 2 においては、プリント基板 1 1 4 を介して端子 G S P_i

nにゲートスタートパルス信号GSPが、また端子GCKinにゲートクロック信号GCKが入力される。また、各ドライバIC112は、内部のシフトレジスタでシフトさせたゲートスタートパルス信号GSPを端子GSPoutから出力して、プリント基板114を介して次段のドライバIC112の端子GSPinに入力される。そして、最終段のドライバIC112の最終ラインの端子OG256からは、ゲートラインGのみならず、プリント基板114を介して液晶パネル113の最上段まで配線が引き回されている。この最上段に引き回された配線がダミーラインG0である。このような構成により、ダミーラインG0およびゲートラインG1～G768が形成される。

【0013】

図21のゲートドライバ102の信号のタイミングチャートを図22に示す。ゲートスタートパルス信号GSPはゲートクロック信号GCKのタイミングによってシフトされていき、シフトされる過程で順次端子OG1、端子OG2、…、端子OG256と、ゲートラインGにゲート信号が出力される。あるドライバIC112の端子OG256からゲート信号が出力されるときには、端子GSPoutからゲートスタートパルス信号GSPが出力されて、次段のドライバIC112の端子GSPinに入力される。

【0014】

しかし、この従来技術1では、最終mライン目のゲートラインGmを駆動する出力端子OGmのドライバ回路だけ負荷が略2倍になり、ゲート信号波形が鈍るという問題がある。また、図22でプリント基板114を介して配線したように、ダミーラインG0とゲートラインGmとを接続するバイパスラインが必要となり、液晶パネル113やフレキシブルのプリント基板の構造が複雑になるという問題もある。とりわけ、昨今では液晶表示装置の低コスト化・軽量化・薄型化のため、ゲート側のプリント基板やフレキシブルのプリント基板、コネクタなどをなくし、液晶パネル上およびゲートドライバTCP上にゲートドライバ側の電源・信号線を構成する構造（以下、ゲート基板省略構造と呼ぶ）が採用されるようになった。この構造では、ゲートドライバに入力する電源や信号の配線を、ソースドライバ側から一層構造の配線パターンによって形成しており、図21のよう

に最終mライン目からダミーラインG 0まで配線を引き回すスペースを確保することができないという問題を抱えている。

【 0 0 1 5 】

そこで、図 2 3 に示すように、前記ダミーラインG 0を個別に駆動可能なように出力端子数を増加させたゲートドライバICが開発され、上記の問題を解決している。以下、これを従来技術 2 とする。図 2 3 の構成例では、各TCP 1 2 1のドライバIC 1 2 2は、図 2 1 のドライバIC 1 1 2 よりも多い端子OG 0～OG 2 5 7を備えている。各段のドライバIC 1 2 2では端子OG 1～OG 2 5 6をそれぞれゲートラインGとする。そして、1 段目のドライバIC 1 2 2では端子OG 0にダミーラインG 0を接続する。2 段目および3 段目のドライバIC 1 2 2では端子OG 0・OG 2 5 7を使用しない。ゲートスタートパルス信号GSPおよびゲートクロック信号GCKはプリント基板 1 2 4を介して入力されるが、ダミーラインG 0をドライバIC 1 2 2の端子OG 0から駆動するようにしたので、最終段のドライバIC 1 2 2からプリント基板 1 2 4を介して液晶パネル 1 2 3の最上段にダミーラインG 0用の配線を引き回す必要がない。

【 0 0 1 6 】

図 2 3 のゲートドライバ 1 0 2 の信号のタイミングチャートを図 2 4 に示す。最初に端子OG 0にゲート信号が出力され、ゲートスタートパルス信号GSPが順次シフトされていく。端子OG 2 5 6からゲート信号が出力された後にはゲートスタートパルス信号GSPは次段のドライバIC 1 2 2に入力されて、そのドライバICの端子OG 1からゲート信号が出力される。

【 0 0 1 7 】

この従来技術 2 を、図 2 5 に示すように、図 2 4 のようなプリント基板 1 2 4を用いずにTCP 1 2 1および液晶パネル 1 2 3のみを介してドライバIC 1 2 2への配線を形成するゲート基板省略構造に適用することもできる。この場合においても、ダミーラインG 0用の配線の引き回しは必要ないため、この構造にてゲート基板省略構造の液晶表示装置が実現・量産されている。

【 0 0 1 8 】

しかしながら、従来技術 2 の構造では、ダミーラインG 0用の出力を駆動する

ためのゲートスタートパルス信号GSPを、ゲートドライバ102およびソースドライバ103の駆動を制御するための信号を生成するタイミングコントロールASICに、入力データ信号DATA-inおよびデータイネーブル信号ENABが入力されるまでにゲートドライバ102に入力する必要がある。タイミングコントロールASICによる制御方法には、垂直同期信号および水平同期信号を利用したタイミング制御方式（以下、HVモードと呼ぶ）と、垂直同期信号および水平同期信号を利用せずデータイネーブル信号ENABのみでタイミングを制御する方式（以下、V-ENABモードと呼ぶ）とがある。次に、HVモードとV-ENABモードとについて、図26および図27を用いて説明する。

【0019】

まずHVモードについて図26のタイミングチャートを用いて説明する。

【0020】

同図（a）はタイミングコントロールASICに入力される水平駆動用の信号を示す。1水平期間の信号のタイミングを示しており、クロック信号CKの入力タイミングを用い、水平同期信号Hsの入力から296クロック目でデータイネーブル信号ENABが立ち上がり、1水平期間分のデータD1・D2・…・D1024が入力される。また、同図（b）はタイミングコントロールASICに入力される垂直駆動用の信号を示す。1垂直期間の信号のタイミングを示しており、垂直同期信号Vsの入力から35水平期間分が経過するとデータイネーブル信号ENABが立ち上がり、この立ち上がっている各水平期間に入力データ信号DATA-inの1水平期間分のデータDH1・DH2・…・DH768が入力される。

【0021】

同図（c）はタイミングコントロールASICが出力する水平駆動用の信号を示す。ソースドライバ103に出力するデータDH1・DH2・…・DH768と、1水平期間ごとに信号レベルを反転させるための液晶駆動極性反転信号REVと、ソースドライバ103内でシフトさせるソーススタートパルス信号SSPと、ソーススタートパルス信号SSPのシフトタイミングに基づいてサンプリングされた各データをラッチして各ソースラインSに出力するためのラッチストロ

ープ信号LSとを、ソースドライバ103に出力する。これにより、ソースドライバ103の出力波形は同図(d)のようになる。

【0022】

同図(e)はタイミングコントロールASICが出力する垂直駆動用の信号を示す。ゲートドライバ102によって選択される各行の画素にソースドライバ103から出力されたデータDH1・DH2・…・DH768が順次書き込まれるようにゲート信号を出力するためのゲートスタートパルス信号GSPと、ゲートスタートパルス信号GSPをシフトさせるためのゲートクロック信号GCKとを、ゲートドライバ102に出力する。これにより、ゲートドライバ102は、同図(f)に示すように、ゲートラインGにパルスのゲート信号を順次出力する。

【0023】

このように、HVモードでは、垂直同期信号VSの入力から、ある定められた期間を有する水平同期信号Hsを所定数カウントし、その後、データイネーブル信号ENABおよび入力データ信号DATAinが入力される。従って、HVモードの場合には入力された垂直同期信号Vaおよび水平同期信号Hsから、ゲートスタートパルス信号GSPを、ゲートラインG1を駆動する前にダミーラインG0を駆動するようなタイミングで生成することが可能である。

【0024】

次に、V-ENABモードについて図27のタイミングチャートを用いて説明する。

【0025】

同図(a)は、タイミングコントロールASICに入力される水平駆動用の信号を示す。1水平期間の信号のタイミングを示しており、水平同期信号は存在せず、クロック信号CKが入力されている状態においてあるタイミングでデータイネーブル信号ENABが入力され、1水平期間分のデータD1・D2・…・D1024が入力される。また、同図(b)はタイミングコントロールASICに入力される垂直駆動用の信号を示す。垂直同期信号および水平同期信号は存在せず、あるタイミングで入力されるデータイネーブル信号ENABの期間が各水平期間のデータDH1・DH2・…・DH768をソースドライバ103がサンプリ

ングすべき期間に相当する。

【0026】

同図(c)～(f)は図26と同様であるが、タイミングコントロールASICが出力する信号のタイミングはデータイネーブル信号ENABの入力タイミングを基準にして決定される。

【0027】

また、図28に、V-ENABモードで制御する場合のタイミングコントロールASICの一例としてタイミングコントロールASIC108の構成を示す。タイミングコントロールASIC108においては、水平垂直分離・コントロール部108aが、入力されるデータイネーブル信号ENABとクロック信号CKとから、水平駆動用の基準タイミングと垂直駆動用の基準タイミングとを分離する。水平カウンタ108bは水平駆動用の基準タイミングからクロック信号CKのクロックをカウントし、垂直カウンタ108cは垂直駆動用の基準タイミングからENAB信号の立ち上がりエッジをカウントする。水平信号タイミング作成ブロック108dは、水平カウンタ108bのカウント結果を基に、ゲートクロック信号GCK、ラッチストロブ信号LS、ソースクロック信号SCK、およびソーススタートパルス信号SSPを、垂直信号タイミング作成ブロック108eは、垂直カウンタ108cのカウント結果を基に、ゲートスタートパルス信号GSPを生成して出力する。また、液晶駆動極性反転信号作成ブロック108fは、水平カウンタ108bおよび垂直カウンタ108cのカウント結果を基に、液晶駆動極性反転信号REVを生成して出力する。また、入力データ信号DATAinはクロック信号CKのタイミングで入力バッファ108gに入力され、出力バッファ108hから出力データとして出力される。

【0028】

このように、V-ENABモードの場合には、HVモードの場合のような垂直同期信号および水平同期信号がタイミングコントローラASICに入力されないため、1ライン目のデータDH1が入力されるタイミングで入力されたデータイネーブル信号ENABのパルスから、ゲートスタートパルスGSP信号を作成せざるをえない。

【 0 0 2 9 】

従って、従来技術 2 の構造では、V-E N A B モードで動作させようとする
、ゲートライン G 1 のゲート信号の前にダミーライン G 0 を駆動する信号を出力
するようにゲートスタートパルス信号 G S P を生成することができず、従って、
V-E N A B モードで動作させることができないという問題を抱えている。とり
わけ、昨今では V-E N A B モードでの動作を要求されることが多くなり、早急
なる対策が求められていた。

【 0 0 3 0 】

そこで、特開 2 0 0 1 - 2 8 2 1 7 0 号公報では、ゲートドライバ I C 内部に
工夫をこらし、端子配列とは異なる順に連続してゲート信号を出力することによ
り従来技術 1 および従来技術 2 の欠点を補っている。この公報の構成を図 2 9 に
示す。同図 (a) のゲートドライバ 1 0 2 は、図 2 3 のゲートドライバ 1 0 2 の
ドライバ I C 1 2 2 をドライバ I C 1 3 2 で置き換えたものである。図 3 0 にド
ライバ I C 1 3 2 の内部構成を示す。ゲートスタートパルス信号 G S P は内部の
シフトレジスタを R 1 → R 2 → … → R 2 5 6 → R 0 の順で転送される。また、図
3 1 に示すように、R 2 5 6 に転送されたときの端子 O G 2 5 6 による最終ゲー
トライン G 2 5 6 の駆動と同時に、端子 G S P o u t からゲートスタートパルス
信号 G S P が次段のドライバ I C 1 3 2 に入力される。そして、前段のダミーラ
イン G 0 を駆動するタイミングで、次段のドライバ I C 1 3 2 の端子 O G 1 によ
りゲートライン G 2 5 7 を駆動する。以下、これを従来技術 3 とする。

【 0 0 3 1 】

【発明が解決しようとする課題】

しかしながら、従来技術 3 のゲートドライバ 1 0 2 のドライバ I C 1 3 2 は、
最初から I C に設けられている出力端子の順番とは異なる順番でゲート出力を行
うという特別な仕様により構成される必要があるため、設けられている出力端子
の順番でゲート出力を行う既存のドライバ I C を用いることができない。すなわ
ち、図 2 9 を用いて説明すると、初段のドライバ I C 1 3 2 に、端子 O G 0 → O
G 1 → O G 2 → … → O G 2 5 6 という出力端子が設けられている順番でゲート信
号を出力するドライバ I C を用いることができない。従って、従来技術 3 を実施

しようとするすると各種の解像度に対応したゲートドライバＩＣを最初から開発せざるを得ず、開発費用及び開発日数が大幅に増加してしまうという問題が発生する。このように、最初からドライバＩＣに設けられている出力端子についてはその順番で駆動するという、既存のドライバＩＣを利用したダミーラインＧ０の駆動技術が求められている。

【 0 0 3 2 】

本発明は上記従来の問題点に鑑みなされたものであり、その目的は、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバＩＣを用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモード即ちＶ－ＥＮＡＢモードで表示を行うことが可能な表示装置、および表示駆動回路の制御装置、ならびに表示装置の駆動方法を提供することにある。

【 0 0 3 3 】

【課題を解決するための手段】

本発明の表示装置は、上記課題を解決するために、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置において、上記制御装置は、上記データイネーブル信号の入力タイミングから上記列駆動回路が１垂直期間の最初の

水平期間の上記列駆動信号を出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力することを特徴としている。

【 0 0 3 4 】

上記の発明によれば、制御装置は、列駆動回路が1垂直期間の最初の水平期間の表示データに対応した列駆動信号を出力開始するまでの間に、行駆動回路が最上段の行駆動信号の出力端子に行駆動信号を出力するように、データイネーブル信号の入力タイミングを基準して、データイネーブル信号およびクロック信号から行駆動タイミング信号を生成して行駆動回路に入力する。

【 0 0 3 5 】

従って、行駆動回路の最上段の行駆動信号の出力端子が、最上段の有効画素の寄生容量をその他の画素と同等にするために設けられたダミーの行ラインに接続されている場合には、データイネーブル信号により表示タイミングが支配されるモードで表示を行おうとするときに、最初の水平期間の列駆動信号を列駆動ラインに出力する前にダミーの行ラインを駆動することができる。すなわち、ダミーの行ラインを駆動した後、行ラインを上から下に向かって順番に駆動する。これにより、行駆動回路を、設けられている順番で出力端子が駆動される既存のドライバICを用いて構成することができる。また、ダミーの行ラインは最上段の出力端子に接続されればよいので、従来のようにドライバICの他の出力端子から長い配線を迂回させて引き回して設ける必要がない。従って、表示パネル外に行駆動回路への配線用のプリント基板が設けられていなくてもダミーの行ラインを駆動することができる。

【 0 0 3 6 】

以上により、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバICを用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモードで表示を行うことが可能な表示装置を提供す

ることができる。

【 0 0 3 7 】

また、従来技術 3 のように行ラインとダミーの行ラインとの 2 本のラインを同時に駆動する必要がないため、行駆動信号波形のなまりなどが生じることがなく、表示品位の低下を回避することができる。さらに、既存のドライバ I C を利用することができるため、マルチベンダー化が可能である。

【 0 0 3 8 】

さらに本発明の表示装置は、上記課題を解決するために、上記列駆動タイミング信号は、上記行駆動信号を上記行ラインのそれぞれに順次出力するタイミングを決めるように上記行駆動回路内でシフトされる 1 パルスからなるスタートパルス信号と、上記スタートパルス信号をシフトさせるタイミングを決めるシフトクロック信号とを含んでおり、上記制御装置は、上記データイネーブル信号の入力タイミングで上記スタートパルス信号を生成開始し、上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように上記行駆動回路が上記スタートパルス信号を取り込むための上記シフトクロック信号の 1 クロック目を、上記入力タイミングから上記クロック信号のクロックを所定数カウントした時点で生成することを特徴としている。

【 0 0 3 9 】

上記の発明によれば、行駆動回路が、スタートパルス信号をシフトクロック信号によりシフトさせることにより行ラインを順次駆動していく駆動回路である場合に、制御装置にデータイネーブル信号が入力されるタイミングでスタートパルス信号を生成開始し、その後クロック信号のクロックを所定数カウントした時点でシフトクロック信号の 1 クロック目を生成し、ダミーの行ラインを駆動するために行駆動回路がスタートパルス信号を取り込むようにすることができる。従って、行駆動回路に用いるドライバ I C のセットアップホールド時間に合わせて、上記クロックのカウント数を定めることができ、ドライバ I C の特性に応じてダミーの行ラインを駆動することができる。

【 0 0 4 0 】

さらに本発明の表示装置は、上記課題を解決するために、上記制御装置は、 1

水平期間の上記表示データを上記列駆動回路に入力完了した後の水平帰線期間分の経過期間内に、上記列駆動回路が上記列駆動信号を出力するタイミングを決める上記列駆動用タイミング信号である列駆動開始タイミング信号を上記列駆動回路に入力し、上記シフトクロック信号の上記1クロック目より後のクロックを上記列駆動開始タイミング信号に合わせて上記行駆動回路に入力することを特徴としている。

【 0 0 4 1 】

上記の発明によれば、データイネーブル信号どうしの間には水平帰線期間が設けられているが、制御装置が表示データを列駆動回路に入力完了した時点で列駆動回路に列駆動開始タイミング信号を出力させるのではなく、入力完了した時点からさらに経過する水平帰線期間内に列駆動開始タイミング信号を出力させる。そして、制御装置は、この出力タイミングに合わせてシフトクロック信号の1クロック目より後のクロックを行駆動回路に入力する。

【 0 0 4 2 】

従って、シフトクロック信号の1クロック目でスタートパルス信号が取り込まれたときに、ダミーの行ラインを駆動する時間を長くすることができ、その他の行ラインの駆動時間と同等にすることができる。

【 0 0 4 3 】

さらに本発明の表示装置は、上記課題を解決するために、上記制御装置は、入力される上記表示データを1水平期間遅延させて上記列駆動回路に入力することを特徴としている。

【 0 0 4 4 】

上記の発明によれば、制御装置が、入力される表示データを1水平期間遅延させて列駆動回路に入力するので、制御装置にデータイネーブル信号が入力されるタイミングから列駆動回路が1垂直期間の最初の水平期間の列駆動信号を出力開始するまでの期間を長くすることができ、ダミーの行ラインを駆動する時間を容易に十分長くすることができる。

【 0 0 4 5 】

さらに本発明の表示装置は、上記課題を解決するために、表示に有効な上記画

素に接続された上記行ラインは 1 0 5 0 本であり、上記行駆動回路は 2 6 3 個の上記行駆動信号の出力端子を備えたドライバ I C が 4 個カスケード接続されたものであることを特徴としている。

【 0 0 4 6 】

上記の発明によれば、表示に有効な上記画素に接続された 1 0 5 0 本の行ラインにダミーの行ラインを加えた 1 0 5 1 本のラインを、合計 $2 6 3 \times 4 = 1 0 5 2$ 本の行駆動信号の出力端子を有するカスケード接続のドライバ I C で駆動するので、使用しない出力端子が少なく、I C チップサイズの縮小および最適化が容易で、低コスト化を図ることができる。

【 0 0 4 7 】

また、本発明の表示装置は、上記課題を解決するために、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置において、上記行駆動回路はドライバ I C がシステム・オン・フィルム構造により実装されたものであり、所定のドライバ I C における最終の上記行ラインに対応する上記行駆動信号の出力端子の次に設けられた出力端子から、I C チップの下方を通るように配線が引き回され、上記配線が上記表示パネルに設けられた最上段の上記行ラインよりもさらに上段にダミーの行ラインとして延設されていることを特徴としている。

【 0 0 4 8 】

上記の発明によれば、行駆動回路の所定のドライバＩＣにおける最終の行ラインに対応する行駆動信号の出力端子の次に設けられた出力端子から、システム・オン・フィルム構造を利用してＩＣチップの下方を通るように配線が引き回れて、表示パネルに設けられた最上段の行ラインよりもさらに上段に延設されたダミーの行ラインは、最上段の有効画素の寄生容量をその他の画素と同等にするためのダミーの行ラインとすることができる。従って、表示パネル外に行駆動回路への配線用のプリント基板が設けられていなくてもダミーの行ラインを設けることができる。

【 0 0 4 9 】

そして、このダミーの行ラインの駆動は、上記所定のドライバＩＣの出力端子を設けられている順番で駆動した後に行えばよいので、データネーブル信号により表示タイミングが支配されるモードで表示を行おうとするときに、ダミーの行ラインを他の行ラインより先に駆動する必要がない。これにより、ドライバＩＣには、設けられている順番で出力端子を駆動する既存のドライバＩＣを用いることができる。

【 0 0 5 0 】

以上により、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバＩＣを用いて構成されている駆動回路を用いて、データネーブル信号により表示タイミングが支配されるモードで表示を行うことが可能な表示装置を提供することができる。さらに、既存のドライバＩＣを利用することができるため、マルチベンダー化が可能である。

【 0 0 5 1 】

また、本発明の表示駆動回路の制御装置は、上記課題を解決するために、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示デー

タと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路とを備える表示駆動回路を制御する、表示駆動回路の制御装置であって、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力し、上記データイネーブル信号の入力タイミングから上記列駆動回路が1垂直期間の最初の水平期間の上記列駆動信号を出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力することを特徴としている。

【 0 0 5 2 】

上記の発明によれば、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバICを用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモードで表示を行うことができる。

【 0 0 5 3 】

また、本発明の表示装置の駆動方法は、上記課題を解決するために、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記デ

ータイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置を駆動する表示装置の駆動方法であって、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する表示装置の駆動方法において、上記データイネーブル信号の入力タイミングから上記列駆動回路が1垂直期間の最初の水平期間の上記表示データを出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力することを特徴としている。

【 0 0 5 4 】

上記の発明によれば、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバICを用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモードで表示を行うことができる。

【 0 0 5 5 】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について図1ないし図4に基づいて説明すれば、以下のとおりである。

【 0 0 5 6 】

本実施の形態に係る液晶表示装置（表示装置）は、1024×768の画素を有するXGAのTFTアクティブマトリクス方式の液晶表示装置である。タイミングコントロールASIC（制御装置）、ゲートドライバ（行駆動回路）、ソースドライバ（列駆動回路）、および液晶パネル（表示パネル）が配置されている

という全体の構成は従来の技術で説明したものと同様である。画素の構成も、従来の技術で説明した下ゲート構造である。また、この液晶表示装置は、ゲート基板省略構造であり、V-E N A Bモードで動作する。

【 0 0 5 7 】

図 2 に、本実施の形態におけるタイミングコントロール A S I C（以下、コントロール I C と称する）1 の構成を示す。コントロール I C 1 は、水平垂直分離・コントロール部 1 a、水平カウンタ 1 b、垂直カウンタ 1 c、水平信号タイミング作成ブロック 1 d、G O 駆動信号タイミング作成ブロック 1 e、液晶駆動極性反転信号作成 1 f、入力バッファ 1 g、および出力バッファ 1 h を備えている。

【 0 0 5 8 】

水平垂直分離・コントロール部 1 a は、入力されるデータイネーブル信号 E N A B とクロック信号 C K とから、水平駆動用の基準タイミングと垂直駆動用の基準タイミングとを分離する。水平カウンタ 1 b は、水平垂直分離・コントロール部 1 a によって分離された水平駆動用の基準タイミングから、クロック信号 C K のクロックをカウントする。垂直カウンタ 1 c は、水平垂直分離・コントロール部 1 a によって分離された垂直駆動用の基準タイミングから、E N A B 信号の立ち上がりエッジをカウントする。水平信号タイミング作成ブロック 1 d は、水平カウンタ 1 b のカウント結果を基に、ゲートクロック信号（行駆動用タイミング信号）G C K、ラッチストロブ信号（列駆動用タイミング信号）L S、表示データサンプリングクロックであるソースクロック信号（列駆動用タイミング信号）S C K、および表示データサンプリング開始信号であるソーススタートパルス信号（列駆動用タイミング信号）S S P を生成して出力する。このとき、ゲートクロック信号 G C K として、図 1 に示すようにデータイネーブル信号 E N A B の入力タイミング（立ち上がりタイミング）から所定クロック数のカウント後に立ち上がってデータイネーブル信号 E N A B の立ち下がりタイミングで立ち下がるパルス C K 2 ・ C K 3 ・ C K 4 … の他に、これらの前に、1 垂直期間の最初の水平期間に対応するデータイネーブル信号 E N A B の入力タイミングからわずかな所定クロック数のカウント後に立ち上がって、その所定クロック数後に立ち下が

るパルスCK1が生成される。

【0059】

G0駆動信号タイミング作成ブロック1eは、水平カウンタ1bおよび垂直カウンタ1cのカウント結果を基に、ゲートスタートパルス信号（行駆動用タイミング信号）GSPを生成して出力する。このとき、ゲートスタートパルス信号GSPは、図1に示すように、1垂直期間の最初の水平期間に対応するデータイネーブル信号ENABの入力タイミングで立ち上がり、上述のパルスCK1が立ち下がった後に立ち下がるパルスである。

【0060】

また、液晶駆動極性反転信号作成ブロック1fは、水平カウンタ1bおよび垂直カウンタ1cのカウント結果を基に、液晶駆動極性反転信号REVを生成して出力する。また、入力バッファ1gは、クロック信号CKのタイミングで入力データ信号（表示データ）を取り込む。出力バッファ1hは、入力バッファ1gから入力データ信号を受け取って出力する。

【0061】

次に、図3に、本実施の形態におけるゲートドライバ2の構成を示す。ゲートドライバ2は液晶パネル3のゲートライン（行ライン）を駆動する。液晶パネル3には、有効画素に接続された768本のゲートラインG1・G2・…・G768が設けられている他、ゲートラインG1のさらに上段にダミーのゲートラインとなるダミーラインG0が設けられており、ゲートドライバ2はこれら769本のラインを駆動するために、258個の出力端子を有するドライバICを3個カスケード接続された状態で備えている。液晶パネル3の上下端に余剰出力端子が偏らないように、256出力単位でカスケード接続されている。なお、257出力でもドライバICと液晶パネルとの結線を変更すれば対応は可能であるが、後述する実施の形態3でダミー画素付ダミーラインを駆動する構成に拡張することを考慮して258出力としている。

【0062】

上記3つのドライバICを、液晶パネル3の最上段側（ダミーラインG0側）から順に、ドライバIC2a、ドライバIC2b、ドライバIC2cとする。ド

ライバ I C 2 a ・ 2 b ・ 2 c はそれぞれ T A B 方式によりキャリアテープ 2 d 上に実装され、T C P となっている。ゲート信号（行駆動信号）が出力可能な出力端子は、ドライバ I C 2 a ・ 2 b ・ 2 c のそれぞれに端子 O G 0 ・ O G 1 ・ O G 2 ・ … ・ O G 2 5 7 として設けられている。

【 0 0 6 3 】

ドライバ I C 2 a では、端子 O G 0 がダミーライン G 0 に、端子 O G 1 ・ O G 2 ・ … ・ O G 2 5 6 が順にゲートライン G 1 ・ G 2 ・ … ・ G 2 5 6 に、それぞれ接続されており、端子 O G 2 5 7 は使用されない。ドライバ I C 2 b では、端子 O G 1 ・ O G 2 ・ … ・ O G 2 5 6 が順にゲートライン G 2 5 7 ・ G 2 5 8 ・ … ・ G 5 1 2 に、それぞれ接続されており、端子 O G 0 ・ O G 2 5 7 は使用されない。ドライバ I C 2 c では、端子 O G 1 ・ O G 2 ・ … ・ O G 2 5 6 が順にゲートライン G 5 1 3 ・ G 5 1 4 ・ … ・ G 7 6 8 に、それぞれ接続されており、端子 O G 0 ・ O G 2 5 7 は使用されない。

【 0 0 6 4 】

また、ドライバ I C 2 a には、コントロール I C 1 からゲートスタートパルス信号 G S P およびゲートクロック信号（シフトクロック信号） G C K がソースドライバ側から液晶パネル 3 を介して、端子 G S P i n ・ G C K i n に入力される。なお、ゲートクロック信号 G C K は、I C チップ内のバッファを介して自己転送されるようになっていてもよいが、S O F (System On film) 構造を利用して I C チップの下方で信号が転送されるような S O F 配線が備えられていてもよい。

【 0 0 6 5 】

ゲートスタートパルス信号 G S P およびゲートクロック信号 G C K は、ドライバ I C 2 a の端子 G S P o u t ・ G C K o u t から出力され、ドライバ I C 2 b の端子 G S P i n ・ G C K i n に入力され、同様に、ドライバ I C 2 c にも転送される。このようにしてカスケード接続がなされている。

【 0 0 6 6 】

本実施の形態では、V - E N A B モード時において、1 ライン目の表示データをソースドライバ I C ヘデータ転送するのにおよそ 1 水平周期必要であることを

利用し、ソースドライバ I C が 1 ライン目の表示データをサンプリングしている期間にダミーライン G 0 を駆動するように、コントロール I C 1 は 1 ライン目のデータイネーブル信号 E N A B が入力されれば直ちにダミーライン G 0 を駆動するためのゲートスタートパルス信号 G S P およびゲートクロック信号 G C K を出力する。

【 0 0 6 7 】

コントロール I C 1 からゲートスタートパルス信号 G S P の “ H i g h ” のパルスが入力されると、図 4 に示すように、ゲートクロック信号 G C K の立ち下がりタイミングでゲートスタートパルス信号 G S P のサンプリングが行われ、そのサンプリング信号がドライバ I C 2 a ・ 2 b ・ 2 c の内部のシフトレジスタで、各端子 O G n (n = 0 , 1 , … , 2 5 6) に転送される。ドライバ I C 2 a の端子 O G 0 には、図 4 のゲートクロック信号 G C K のパルス C K 1 の立ち下がりタイミングでゲート信号の出力が開始され、パルス C K 2 の立ち上がりタイミングまで出力が継続される。この期間にダミーライン G 0 が駆動される。

【 0 0 6 8 】

その後、端子 O G 1 にはパルス C K 2 の立ち下がりタイミングからパルス C K 3 の立ち上がりタイミングまで、端子 O G 2 にはパルス C K 3 の立ち下がりタイミングからパルス C K 4 の立ち上がりタイミングまで、といったように各端子にゲート信号が順次出力され、ゲートライン G が順次駆動される。端子 O G 1 にゲート信号が出力開始されると同時に、コントロール I C 1 からソースドライバにラッチストロブ信号 L S が入力され、1 垂直期間の最初の水平期間の表示データに対応する書き込み信号がソースドライバから出力される。このようにしてゲート信号の出力期間に画素に書き込み信号が書き込まれていく。そして、ドライバ I C 2 a の端子 O G 2 5 5 にゲート信号が出力されると同時に、端子 G S P o u t からゲートスタートパルス信号 G S P が出力され、ドライバ I C 2 a の端子 O G 2 5 6 の次にドライバ I C 2 b の端子 O G 1 にゲート信号が出力される。

【 0 0 6 9 】

このように、本実施の形態に係る液晶表示装置によれば、コントロール I C 1 は、ソースドライバが 1 垂直期間の最初の水平期間の表示データに対応した書き

込み信号を出力開始するまでの間に、ゲートドライバ2が最上段のゲート信号の出力端子OG0にゲート信号を出力するように、データイネーブル信号ENABの入力タイミングを基準して、データイネーブル信号ENABおよびクロック信号CKからゲートスタートパルス信号GSPおよびゲートクロック信号GCKを生成してゲートドライバ2に入力する。

【0070】

従って、V-ENABモードで表示を行おうとするときに、最初の水平期間の書き込み信号をソースラインSに出力する前にダミーラインG0を駆動することができる。すなわち、ダミーラインG0を駆動した後、ゲートラインGを上から下に向かって順番に駆動する。これにより、ゲートドライバ2を、設けられている順番で出力端子が駆動される既存のドライバIC2a・2b・2cを用いて構成することができる。また、ダミーラインG0は最上段の出力端子OG0に接続されればよいので、従来のようにドライバICの他の出力端子から長い配線を迂回させて引き回して設ける必要がない。従って、ゲート基板省略構造でもダミーラインG0を駆動することができる。

【0071】

以上により、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバICを用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモードで表示を行うことができる。さらに、既存のドライバICを利用することができるため、マルチベンダー化が可能である。

【0072】

また、本実施の形態に係る液晶表示装置によれば、コントロールIC1にデータイネーブル信号ENABが入力されるタイミングでスタートパルス信号GSPを生成開始し、その後クロック信号CKのクロックを所定数カウントした時点でゲートクロック信号GCKの1クロック目であるパルスCK1を生成し、ダミーラインG0を駆動するためにゲートドライバ2がスタートパルス信号GSPを取り込むようになっている。従って、ゲートドライバ2に用いるドライバIC2a

のセットアップホールド時間に合わせて、上記クロックのカウント数を定めることができ、ドライバ I C 2 a の特性に応じてダミーライン G 0 を駆動することができる。

【 0 0 7 3 】

図 1 で説明すると、ダミーライン G 0 のゲート信号波形は、ゲートライン G m ($m \neq 0$) のゲート信号波形よりもおよそ水平帰線期間だけ短いパルス波形である。このゲート信号の短くなる期間は、例えば、X G A 解像度で V E S A 標準タイミングで規定すれば、1 水平周期が $20.7 \mu s e c$ であるのに対しておよそ $5 \mu s e c$ であるが、ダミーライン G 0 の駆動期間は、寄生容量による画素電極電位の変動を 2 行目以降の画素と同等にする効果が得られるように適宜決めればよく、特にある値に限定されるものではない。例えば上記の数値例は、液晶表示装置が C S O N C O M (C s オンコモン) 構造である場合に好適に使用することができる。

【 0 0 7 4 】

なお、ノート P C 用液晶表示装置などのように狭額縁を求められる仕様に対してゲート基板省略構造を採用する場合、必然的にゲートドライバ I C を駆動するための電源・信号配線が細くなり、その結果ゲート駆動電源の配線抵抗が高くなる傾向にあるが、従来技術 3 の図 3 2 の例でいえばゲートライン G 2 5 7 を駆動するタイミングでドライバ I C は 2 本のゲートラインを同時に駆動しており、ゲート電源に流れる電流はこのタイミングのみ 2 倍になりゲート信号波形のなまりなどが生じ、その結果、そのゲートラインの画素が異常に見えるなどの輝度ムラを生じ、表示品位低下が顕在化する問題がある。

【 0 0 7 5 】

これに対して本実施の形態に係る液晶表示装置によれば、従来技術 3 のようにゲートライン G とダミーライン G 0 との 2 本のラインを同時に駆動する必要がないため、ゲート信号波形のなまりなどが生じることがなく、表示品位の低下を回避することができる。

【 0 0 7 6 】

〔実施の形態 2〕

本発明の他の実施の形態について図 5 ないし図 7 に基づいて説明すれば以下のとおりである。なお、前記実施の形態 1 で述べた構成要素と同じ機能を有する構成要素については同じ符号を付し、その説明を省略する。

【 0 0 7 7 】

本実施の形態に係る液晶表示装置は、実施の形態 1 で述べた液晶表示装置を 1 4 0 0 × 1 0 5 0 の画素を有する S X G A + の液晶表示装置としたものである。これに伴い、図 5 に示すようにゲートドライバ 5 および液晶パネル 6 を備えている。

【 0 0 7 8 】

ゲートドライバ 5 は、2 6 3 出力のドライバ I C 5 a ・ 5 b ・ 5 c ・ 5 d をそれぞれ T A B 方式によりキャリアテープ 5 e 上に実装して T C P を構成し、カスケード接続したものである。液晶パネル 6 にはダミーライン G 0 と、ゲートライン G 1 ・ G 2 ・ … ・ G 1 0 5 0 とが形成されており、これらにドライバ I C 5 a ・ 5 b ・ 5 c の端子 O G 0 ・ O G 1 ・ … ・ O G 2 6 2 と、ドライバ 5 d の端子 O G 0 ・ O G 1 ・ … ・ O G 2 6 1 とが接続されている。使用しない端子はドライバ I C 5 d の端子 O G 2 6 2 のみである。

【 0 0 7 9 】

この場合のコントロール I C 1 の信号を図 6 に示す。データネーブル信号 E N A B が 1 垂直期間に 1 0 5 0 個入力され、ゲートスタートパルス信号 G S P およびゲートクロック信号 G C K は図 1 と同様である。また、ゲートドライバ 5 の信号を図 7 に示す。端子 O G 0 からの順次駆動については図 4 と同様であり、端子 O G 2 6 2 の駆動時に端子 G S P o u t からスタートパルス信号 G S P を出力して次段のドライバ I C に入力する。

【 0 0 8 0 】

すなわち、本実施の形態では、2 6 3 出力であってかつ 2 6 3 出力単位でカスケード接続する一般的なゲートドライバ I C を採用することができ、従来技術 3 で述べたような特殊仕様であるゲートドライバ I C を開発する必要はない。

【 0 0 8 1 】

また、従来技術 3 のようにダミーライン G 0 に接続された端子 O G 0 を最終の

端子の次に駆動するドライバ I C を用いて、表示に有効な上記画素に接続された 1 0 5 0 本のゲートライン G にダミーライン G 0 を加えた 1 0 5 1 本のラインを駆動しようとするれば、2 6 4 出力ないしは 2 6 5 出力のドライバ I C が必要である。これに対して、本実施の形態に係る液晶表示装置では、上記 1 0 5 1 本のラインを、合計 $2 6 3 \times 4 = 1 0 5 2$ 本のゲート信号の出力端子を有するカスケード接続のドライバ I C 5 a ・ 5 b ・ 5 c ・ 5 d で駆動するので、使用しない出力端子が少なく、I C チップサイズの縮小および最適化が容易で、低コスト化を図ることができる。

【 0 0 8 2 】

〔実施の形態 3〕

本発明のさらに他の実施の形態について図 8 および図 9 に基づいて説明すれば以下のとおりである。なお、前記実施の形態 1 および 2 で述べた構成要素と同じ機能を有する構成要素については同じ符号を付し、その説明を省略する。

【 0 0 8 3 】

本実施の形態に係る液晶表示装置は、図 8 に示すように、パネルの長期信頼性向上のため最上段の有効画素の上および最下段の有効画素の下に、それぞれダミー画素付きのダミーライン G 0 ・ G 7 6 9 を備えた液晶パネル 1 0 を駆動するタイプであり、それ以外の構成は実施の形態 1 と同様である。

【 0 0 8 4 】

従来技術 3 で説明したダミーライン G 0 の駆動方式ではゲートライン G 2 5 7 の表示データがダミーライン G 0 に接続されたダミー画素に書き込まれるため、動画データなどフレーム間で異なる映像データを表示した場合、ダミーライン G 0 に接続されたダミー画素の対向 D C 電圧レベルが不安定となってしまう。

【 0 0 8 5 】

一方、本実施の形態におけるダミーライン G 0 の駆動方式では、図 9 の斜線を施した領域で表される垂直帰線期間に、サンプリングした表示データをダミーライン G 0 の駆動タイミングで出力することが可能なため、安定した電圧を画素に印加可能となる。

【 0 0 8 6 】

また、垂直帰線期間にサンプリングさせる映像データは、例えば、ノーマリーホワイトパネルの場合に白データ、ノーマリーブラックパネルの場合に黒データなどとすることができる。

【 0 0 8 7 】

〔実施の形態 4〕

本発明のさらに他の実施の形態について図 1 0 および図 1 1 に基づいて説明すれば以下のとおりである。なお、前記実施の形態 1 ないし 3 で述べた構成要素と同じ機能を有する構成要素については同じ符号を付し、その説明を省略する。

【 0 0 8 8 】

本実施の形態に係る液晶表示装置は、コントロール IC が内部に 1 水平期間のクロック数を記憶する回路を有し、この回路を利用して液晶駆動タイミング信号となるゲートクロック信号 GCK、ラッチストロブ信号 LS の出力タイミングを後ろにずらし、ダミーライン G0 の駆動時間を他のゲートライン G と同等にする。

【 0 0 8 9 】

図 1 0 に、本実施の形態におけるコントロール IC 1 5 の構成を示す。コントロール IC (制御装置) 1 5 は、水平垂直分離・コントロール部 1 a、水平カウンタ 1 b、垂直カウンタ 1 c、G0 駆動信号タイミング作成ブロック 1 e、液晶駆動極性反転信号作成ブロック 1 f、入力バッファ 1 g、出力バッファ 1 h、水平期間検出・記憶ブロック 1 5 a、水平表示期間検出・記憶ブロック 1 5 b、水平帰線期間検出・記憶ブロック 1 5 c、水平信号タイミング作成第 1 ブロック 1 5 d、および水平信号タイミング作成第 2 ブロック 1 5 e を備えている。

【 0 0 9 0 】

水平期間検出・記憶ブロック 1 5 a は、水平垂直分離・コントロール部 1 a に入力されたデータイネーブル信号 ENAB の入力タイミングからクロック信号 CK のクロックをカウントして記憶し、1 水平期間 (例えば 1 3 4 4 クロック分) の終了タイミングを知らせる出力を行う。水平表示期間検出・記憶ブロック 1 5 b は、データイネーブル信号 ENAB の入力タイミングからクロック信号 CK のクロックをカウントして記憶し、1 水平期間のうちの書き込み信号を画素に書き

込む期間（例えば1024クロック分）の終了タイミングを知らせる出力を行う。水平帰線期間検出・記憶ブロック15cは、水平表示期間検出・記憶ブロック15bから入力された書き込み期間の終了タイミングから水平帰線期間の開始タイミングを認識し、水平期間検出・記憶ブロック15aから入力された1水平期間の終了タイミングから、水平帰線期間（例えば320クロック分）の終了タイミングを認識する。

【0091】

水平信号タイミング作成第1ブロック15dは、水平カウンタ1bのカウント結果と、水平帰線期間検出・記憶ブロック15cから入力された水平帰線期間の開始タイミングおよび終了タイミングから、ゲートクロック信号GCKおよびラッチストロブ信号LSを生成して出力する。このとき、図11に示すように、ゲートクロック信号GCKのパルスCK2・CK3・…を、水平帰線期間内に立ち下がるように、ここでは水平帰線期間の終了タイミングで立ち下がるように生成する。そして、ラッチストロブ信号LSを、次のデータイネーブル信号ENABがコントロールIC15に入力されるタイミングで生成する。これにより、ダミーラインG0の駆動時間は、実施の形態1で説明した駆動時間から、次のデータイネーブル信号ENABがコントロールIC15に入力されるタイミングまでの水平帰線期間分だけ延長され、その他のゲートラインGの駆動時間と同等にすることができる。画素への書き込み開始タイミングもその分だけ遅くなる。タイミングの変化を図11中に矢印で示す。

【0092】

また、水平信号タイミング作成第2ブロック15eは、水平カウンタ1bのカウント結果から、ソースクロック信号SCKおよびソーススタートパルス信号SSPを生成して出力する。

【0093】

以上の構成によれば、表示データに遅延などの特別な処理を施す必要もなく、コントロールICのロジック小変更により、ダミーラインG0の駆動時間を長くすることが可能となる。

【0094】

このような構成は、例えば、CS ON GATE (C s オンゲート) のような寄生容量による電圧変動分 ΔV_2 が大きな画素構造に対して使用することができる。

【0095】

〔実施の形態5〕

本発明のさらに他の実施の形態について図12ないし図14に基づいて説明すれば以下のとおりである。なお、前記実施の形態1ないし4で述べた構成要素と同じ機能を有する構成要素については同じ符号を付し、その説明を省略する。

【0096】

本実施の形態に係る液晶表示装置は、SOF (システムオンフィルム) 構造を利用してダミーラインG0を駆動する構成である。これに伴い、図12に示すように、ゲートドライバ21および液晶パネル22を備える。また、コントロールICは図28のコントロールIC108である。

【0097】

ゲートドライバ21は、端子OG1～OG257を備えたドライバIC21a・21b・21cがそれぞれフィルム21d上に実装されてSOF構造とされた状態でカスケード接続されたものである。ドライバIC21aの端子OG257、すなわちドライバIC21aにおける最終のゲートラインG256に対応する端子OG256の次に設けられた端子からは、ドライバIC21aチップの下方を通るように配線が引き回されている。この配線がフィルム21dの出力端子としての端子OG0から、液晶パネル22に設けられた有効画素の最上段のゲートラインG1よりもさらに上段に延設されてダミーラインG0となっている。ドライバIC21b・21cも同様に製造されたものであり、端子OG257から取り出された配線がICチップの下方を引き回されて、端子OG1の上まで延びているが、この端子はここでは使用されない。

【0098】

従って、ドライバIC21aでは、端子OG1→OG2→…→OG256→OG0の順でゲート信号が出力される。

【0099】

図13にコントロールIC108の信号を示す。ダミーラインG0はゲートラ

イン G 2 5 6 の次に駆動するため、実施の形態 1 ないし 4 で述べたような、最初にダミーライン G 0 を駆動するためのゲートスタートパルス信号 G S P およびゲートクロック信号 G C K を生成する必要はなく、ゲートライン G 1 から順に駆動する通常のゲートスタートパルス信号 G S P およびゲートクロック信号 G C K となっている。また、図 1 4 にゲートドライバ 2 1 の信号を示す。ドライバ I C 2 1 a の端子 O G 2 5 6 を駆動すると同時に端子 G S P o u t からゲートスタートパルス信号 G S P を次段のドライバ I C 2 1 b へ入力し、ダミーライン G 0 とゲートライン G 2 5 7 とを同時に駆動する。

【 0 1 0 0 】

本実施の形態によれば、液晶パネル 2 2 外にゲートドライバ 2 1 への配線用のプリント基板が設けられていなくてもダミーライン G 0 を設けることができる。そして、このダミーライン G 0 の駆動は、ドライバ I C 2 1 a の出力端子を設けられている順番で駆動した後に行えばよいので、V-E N A B モードで表示を行おうとするときに、ダミーライン G 0 を他のゲートライン G より先に駆動する必要がない。これにより、ドライバ I C 2 1 a ・ 2 1 b ・ 2 1 c には、設けられている順番で出力端子を駆動する既存のドライバ I C を用いることができる。また、このようなドライバ I C に、端子 O G 2 5 7 が設けられているように、出力端子数を増加させた従来型のゲートドライバ I C を利用して、従来技術 3 と同等の駆動波形を得ることが可能である。

【 0 1 0 1 】

以上により、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバ I C を用いて構成されている駆動回路を用いて、データインーブル信号により表示タイミングが支配されるモードで表示を行うことが可能になる。

【 0 1 0 2 】

〔実施の形態 6〕

本発明のさらに他の実施の形態について図 1 5 ないし図 1 7 に基づいて説明すれば以下のとおりである。なお、前記実施の形態 1 ないし 5 で述べた構成要素と

同じ機能を有する構成要素については同じ符号を付し、その説明を省略する。

【 0 1 0 3 】

図 1 5 に、本実施の形態に係る液晶表示装置のゲートドライバ 2 5 および液晶パネル 2 6 の構成を示す。また図示しないが、コントロール IC（制御装置）は映像データを保持するラインメモリを内蔵している。

【 0 1 0 4 】

この液晶表示装置は 1 6 0 0 × 1 2 0 0 画素を有する UXGA の TFT アクティブマトリックス方式で、ゲートドライバ 2 5 は 3 0 2 出力の 4 個のドライバ IC 2 5 a ・ 2 5 b ・ 2 5 c ・ 2 5 d を 3 0 0 出力単位でカスケード接続したものである。4 個のカスケード接続により 1 2 0 2 出力が利用可能となっている。各ドライバ IC は、それぞれキャリアテープ 2 5 e 上に TAB 方式により実装され、TCP が構成されている。また、液晶パネル 2 6 には、最上段の有効画素の上および最下段の有効画素の下にそれぞれダミーライン G 0 ・ G 1 2 0 1 が設けられ、これらにはダミー画素が接続されている。

【 0 1 0 5 】

UXGA など超高解像度の映像フォーマットでは、映像データのデータ転送速度が 1 6 0 M H z 程度になっており、ソースドライバ IC のデータ転送速度が間に合わない場合が非常に多い。そこで、コントロール IC 内部にラインメモリを内蔵し、一旦 1 水平期間の映像データをラインメモリに格納した後、映像データを並び替え、ソースドライバ IC が映像データをサンプリングすることができるようデータ転送速度を落としてソースドライバ IC にデータを転送する。従って図 1 6 に示すように、第 1 ラインであるゲートライン G 0 の映像データ D H 1 (i n) は、第 1 水平期間 (E N A B (1)) に一旦コントロール IC にサンプリングされた後、第 2 水平期間 (E N A B (2)) にソースドライバ IC によって映像データ D H 1 (o u t) としてサンプリングされる。サンプリング終了後、ラッチストロブ信号 L S の入力によってソースドライバ IC は映像データ D H 1 (o u t) に相当するアナログ電圧を出力する。

【 0 1 0 6 】

これに合わせるように、コントロール IC は図 1 6 のようにデータイネーブル

信号 E N A B の E N A B (1) の入力タイミングから E N A B (2) の入力タイミングまでをパルス期間とするゲートスタートパルス信号 G S P を生成する。また、コントロール I C は、各 E N A B 期間の終了タイミングで立ち下がるようにゲートクロック信号 G C K を生成する。これにより、ゲートドライバ 2 5 は、図 1 7 に示すようにダミーライン G 0 と各ゲートライン G とで期間が等しいゲート信号を順次出力する。

【 0 1 0 7 】

本実施の形態では、実施の形態 1 ないし 5 と比較すると映像データをソースドライバ I C に入力するタイミングが 1 水平期間遅れているため、実施の形態 1 に記載しているように 1 ライン目のデータイネーブル信号 E N A B を認識してからすぐにダミーライン G 0 にゲート信号が出力されるようなゲートスタートパルス信号 G S P およびゲートクロック信号 G C K を生成して出力する必要がない。また、実施の形態 4 に記載しているように 1 水平期間のクロック数を記憶し液晶駆動タイミングを後ろにずらす必要もない。コントロール I C から出力されるゲートスタートパルス信号 G S P がゲートドライバ 2 5 によって取り込まれるタイミングを 1 水平期間近く後にずらすだけで、ダミーライン G 0 を駆動することが可能となる。

【 0 1 0 8 】

このように、本実施の形態によれば、コントロール I C が、入力される映像データをラインメモリを用いて 1 水平期間遅延させてソースドライバに入力するので、コントロール I C にデータイネーブル信号 E N A B が入力されるタイミングからソースドライバが 1 垂直期間の最初の水平期間の書き込み信号を出力開始するまでの期間を長くすることができ、ダミーライン G 0 を駆動する時間を容易に十分長くすることができる。

【 0 1 0 9 】

以上、実施の形態 1 から 6 まで述べた。本発明は液晶表示装置に限らず、行ラインと列ラインとを駆動するマトリクス型の表示装置に広く適用することができる。また、列駆動回路による列ラインへの出力の仕方は、線順次でも点順次でも構わない。

【 0 1 1 0 】

【 発 明 の 効 果 】

本発明の表示装置は、以上のように、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置において、上記制御装置は、上記データイネーブル信号の入力タイミングから上記列駆動回路が 1 垂直期間の最初の水平期間の上記列駆動信号を出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力する構成である。

【 0 1 1 1 】

それゆえ、データイネーブル信号により表示タイミングが支配されるモードで表示を行おうとするときに、最初の水平期間の列駆動信号を列駆動ラインに出力する前にダミーの行ラインを駆動することができる。すなわち、ダミーの行ラインを駆動した後、行ラインを上から下に向かって順番に駆動する。これにより、行駆動回路を、設けられている順番で出力端子が駆動される既存のドライバ I C を用いて構成することができる。また、ダミーの行ラインは最上段の出力端子に接続されればよいので、従来のようにドライバ I C の他の出力端子から長い配線を迂回させて引き回して設ける必要がない。従って、表示パネル外に行駆動回路

への配線用のプリント基板が設けられていなくてもダミーの行ラインを駆動することができる。

【 0 1 1 2 】

以上により、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバ I C を用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモードで表示を行うことが可能な表示装置を提供することができるという効果を奏する。

【 0 1 1 3 】

また、従来技術 3 のように行ラインとダミーの行ラインとの 2 本のラインを同時に駆動する必要がないため、行駆動信号波形のなまりなどが生じることがなく、表示品位の低下を回避することができるという効果を奏する。さらに、既存のドライバ I C を利用することができるため、マルチベンダー化が可能であるという効果を奏する。

【 0 1 1 4 】

さらに本発明の表示装置は、以上のように、上記列駆動タイミング信号は、上記行駆動信号を上記行ラインのそれぞれに順次出力するタイミングを決めるように上記行駆動回路内でシフトされる 1 パルスからなるスタートパルス信号と、上記スタートパルス信号をシフトさせるタイミングを決めるシフトクロック信号とを含んでおり、上記制御装置は、上記データイネーブル信号の入力タイミングで上記スタートパルス信号を生成開始し、上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように上記行駆動回路が上記スタートパルス信号を取り込むための上記シフトクロック信号の 1 クロック目を、上記入力タイミングから上記クロック信号のクロックを所定数カウントした時点で生成する構成である。

【 0 1 1 5 】

それゆえ、行駆動回路に用いるドライバ I C のセットアップホールド時間に合わせて、上記クロックのカウント数を定めることができ、ドライバ I C の特性に

応じてダミーの行ラインを駆動することができるという効果を奏する。

【 0 1 1 6 】

さらに本発明の表示装置は、以上のように、上記制御装置は、1 水平期間の上記表示データを上記列駆動回路に入力完了した後の水平帰線期間分の経過期間内に、上記列駆動回路が上記列駆動信号を出力するタイミングを決める上記列駆動用タイミング信号である列駆動開始タイミング信号を上記列駆動回路に入力し、上記シフトクロック信号の上記1 クロック目より後のクロックを上記列駆動開始タイミング信号に合わせて上記行駆動回路に入力する構成である。

【 0 1 1 7 】

それゆえ、シフトクロック信号の1 クロック目でスタートパルス信号が取り込まれたときに、ダミーの行ラインを駆動する時間を長くすることができ、その他の行ラインの駆動時間と同等にすることができるという効果を奏する。

【 0 1 1 8 】

さらに本発明の表示装置は、以上のように、上記制御装置は、入力される上記表示データを1 水平期間遅延させて上記列駆動回路に入力する構成である。

【 0 1 1 9 】

それゆえ、制御装置にデータイネーブル信号が入力されるタイミングから列駆動回路が1 垂直期間の最初の水平期間の列駆動信号を出力開始するまでの期間を長くすることができ、ダミーの行ラインを駆動する時間を容易に十分長くすることができるという効果を奏する。

【 0 1 2 0 】

さらに本発明の表示装置は、以上のように、表示に有効な上記画素に接続された上記行ラインは1 0 5 0 本であり、上記行駆動回路は2 6 3 個の上記行駆動信号の出力端子を備えたドライバ I C が4 個カスケード接続されたものである構成である。

【 0 1 2 1 】

それゆえ、使用しない出力端子が少なく、I C チップサイズの縮小および最適化が容易で、低コスト化を図ることができるという効果を奏する。

【 0 1 2 2 】

また、本発明の表示装置は、以上のように、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置において、上記行駆動回路はドライバＩＣがシステム・オン・フィルム構造により実装されたものであり、所定のドライバＩＣにおける最終の上記行ラインに対応する上記行駆動信号の出力端子の次に設けられた出力端子から、ＩＣチップの下方を通るように配線が引き回され、上記配線が上記表示パネルに設けられた最上段の上記行ラインよりもさらに上段にダミーの行ラインとして延設されている構成である。

【 0 1 2 3 】

それゆえ、表示パネル外に行駆動回路への配線用のプリント基板が設けられていなくてもダミーの行ラインを設けることができる。そして、このダミーの行ラインの駆動は、上記所定のドライバＩＣの出力端子を設けられている順番で駆動した後に行えばよいので、データイネーブル信号により表示タイミングが支配されるモードで表示を行おうとするときに、ダミーの行ラインを他の行ラインより先に駆動する必要がない。これにより、ドライバＩＣには、設けられている順番で出力端子を駆動する既存のドライバＩＣを用いることができる。

【 0 1 2 4 】

以上により、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された

構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバ I C を用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモードで表示を行うことが可能な表示装置を提供することができるという効果を奏する。さらに、既存のドライバ I C を利用することができるため、マルチベンダー化が可能であるという効果を奏する。

【 0 1 2 5 】

また、本発明の表示駆動回路の制御装置は、以上のように、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路とを備える表示駆動回路を制御する、表示駆動回路の制御装置であって、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力し、上記データイネーブル信号の入力タイミングから上記列駆動回路が 1 垂直期間の最初の水平期間の上記列駆動信号を出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力する構成である。

【 0 1 2 6 】

それゆえ、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバ I C を用いて構成されている駆動回路を用いて、データイネーブル信号により表

示タイミングが支配されるモードで表示を行うことができるという効果を奏する。

【 0 1 2 7 】

また、本発明の表示装置の駆動方法は、以上のように、画素が行ラインと列ラインとの交差点に対応してマトリクス型に形成されている表示パネルと、上記表示パネルの上記行ラインを駆動するための行駆動用タイミング信号が入力され、上記行ラインを駆動する行駆動信号を上記行駆動用タイミング信号に基づいて、画素に接続された上記行ラインのそれぞれに順次出力する行駆動回路と、表示データと上記表示パネルの列ラインを駆動するための列駆動用タイミング信号とが入力され、画素に接続された上記列ラインに上記表示データに対応した列駆動信号を上記列駆動用タイミング信号に基づいて出力する列駆動回路と、上記表示データとデータイネーブル信号とクロック信号とが入力され、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する制御装置とを備える表示装置を駆動する表示装置の駆動方法であって、上記データイネーブル信号および上記クロック信号から上記行駆動用タイミング信号を生成して上記行駆動回路に入力するとともに、上記データイネーブル信号および上記クロック信号から上記列駆動用タイミング信号を生成して上記表示データとともに上記列駆動回路に入力する表示装置の駆動方法において、上記データイネーブル信号の入力タイミングから上記列駆動回路が 1 垂直期間の最初の水平期間の上記表示データを出力開始するまでの間に上記行駆動回路の最上段の上記行駆動信号の出力端子に上記行駆動信号が出力されるように、上記データイネーブル信号の入力タイミングを基準にして上記行駆動タイミング信号を生成して上記行駆動回路に入力する構成である。

【 0 1 2 8 】

それゆえ、最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバ

I C を用いて構成されている駆動回路を用いて、データネーブル信号により表示タイミングが支配されるモードで表示を行うことができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る液晶表示装置のタイミングコントロール A S I C に関わる信号のタイミングチャートである。

【図 2】

本発明の第 1 の実施の形態に係る液晶表示装置のタイミングコントロール A S I C の構成を示すブロック図である。

【図 3】

本発明の第 1 の実施の形態に係る液晶表示装置のゲートドライバとその周辺との構成を示す平面図である。

【図 4】

図 3 のゲートドライバに関わる信号のタイミングチャートである。

【図 5】

本発明の第 2 の実施の形態に係る液晶表示装置のゲートドライバとその周辺との構成を示す平面図である。

【図 6】

本発明の第 2 の実施の形態に係る液晶表示装置のタイミングコントロール A S I C に関わる信号のタイミングチャートである。

【図 7】

図 5 のゲートドライバに関わる信号のタイミングチャートである。

【図 8】

本発明の第 3 の実施の形態に係る液晶表示装置のゲートドライバとその周辺との構成を示す平面図である。

【図 9】

本発明の第 3 の実施の形態に係る液晶表示装置のタイミングコントロール A S I C に関わる信号のタイミングチャートである。

【図 1 0】

本発明の第 4 の実施の形態に係る液晶表示装置のタイミングコントロール A S I C の構成を示すブロック図である。

【図 1 1】

図 1 1 のタイミングコントロール A S I C に関わる信号のタイミングチャートである。

【図 1 2】

本発明の第 5 の実施の形態に係る液晶表示装置のゲートドライバとその周辺との構成を示す平面図である。

【図 1 3】

本発明の第 5 の実施の形態に係る液晶表示装置のタイミングコントロール A S I C に関わる信号のタイミングチャートである。

【図 1 4】

図 1 2 のゲートドライバに関わる信号のタイミングチャートである。

【図 1 5】

本発明の第 6 の実施の形態に係る液晶表示装置のゲートドライバとその周辺との構成を示す平面図である。

【図 1 6】

本発明の第 6 の実施の形態に係る液晶表示装置のタイミングコントロール A S I C に関わる信号のタイミングチャートである。

【図 1 7】

図 1 5 のゲートドライバに関わる信号のタイミングチャートである。

【図 1 8】

従来の液晶表示装置の構成を示す回路ブロック図である。

【図 1 9】

図 1 8 の液晶表示装置に寄生容量が生じることを説明する画素の平面図である。

【図 2 0】

図 1 8 の液晶表示装置に生じた寄生容量による画素電極電位の変動を説明する電圧波形図である。

【図 2 1】

従来の液晶表示装置のゲートドライバとその周辺との第 1 の構成を示す平面図である。

【図 2 2】

図 2 1 のゲートドライバに関わる信号のタイミングチャートである。

【図 2 3】

従来の液晶表示装置のゲートドライバとその周辺との第 2 の構成を示す平面図である。

【図 2 4】

図 2 3 のゲートドライバに関わる信号のタイミングチャートである。

【図 2 5】

従来の液晶表示装置のゲートドライバとその周辺との第 3 の構成を示す平面図である。

【図 2 6】

(a) ないし (f) は、従来の液晶表示装置の H V モードでの表示動作を説明する信号のタイミングチャートである。

【図 2 7】

(a) ないし (f) は、従来の液晶表示装置の V - E N A B モードでの表示動作を説明する信号のタイミングチャートである。

【図 2 8】

従来の液晶表示装置のタイミングコントロール A S I C の構成を示すブロック図である。

【図 2 9】

従来の液晶表示装置のゲートドライバとその周辺との第 4 の構成を示す平面図である。

【図 3 0】

図 2 9 のゲートドライバのドライバ I C 内部の構成を示すブロック図である。

【図 3 1】

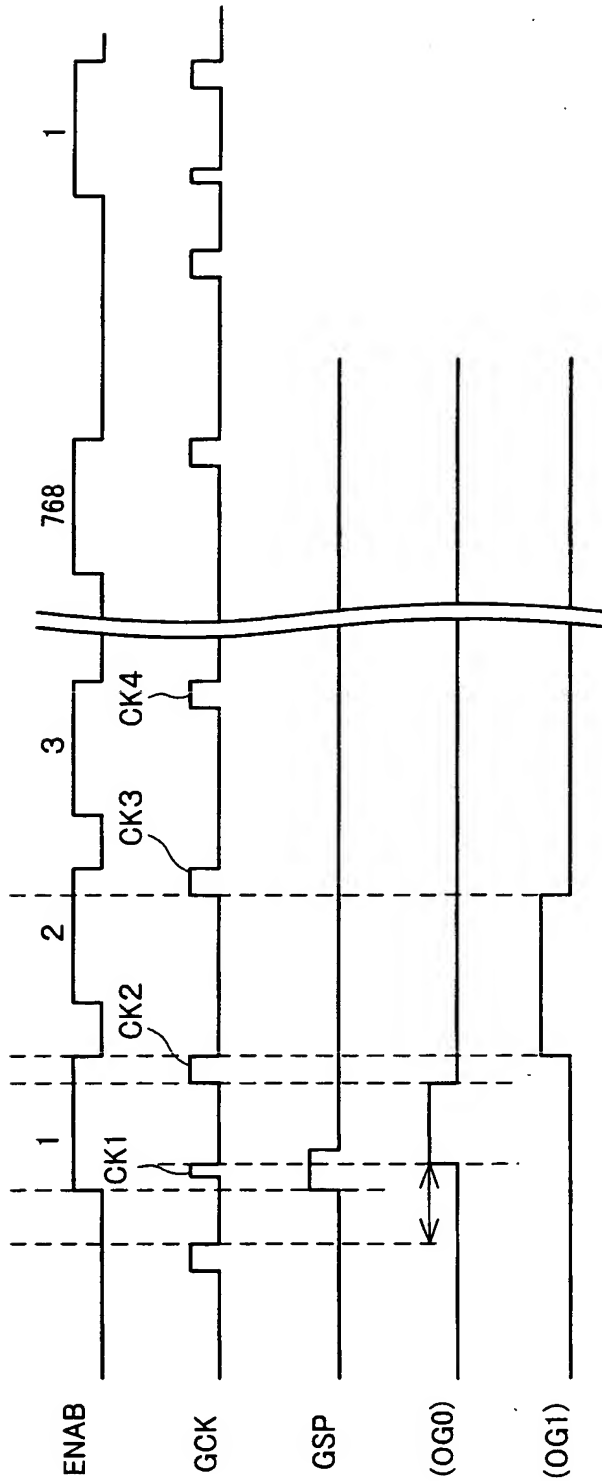
図 2 9 のゲートドライバに関わる信号のタイミングチャートである。

【符号の説明】

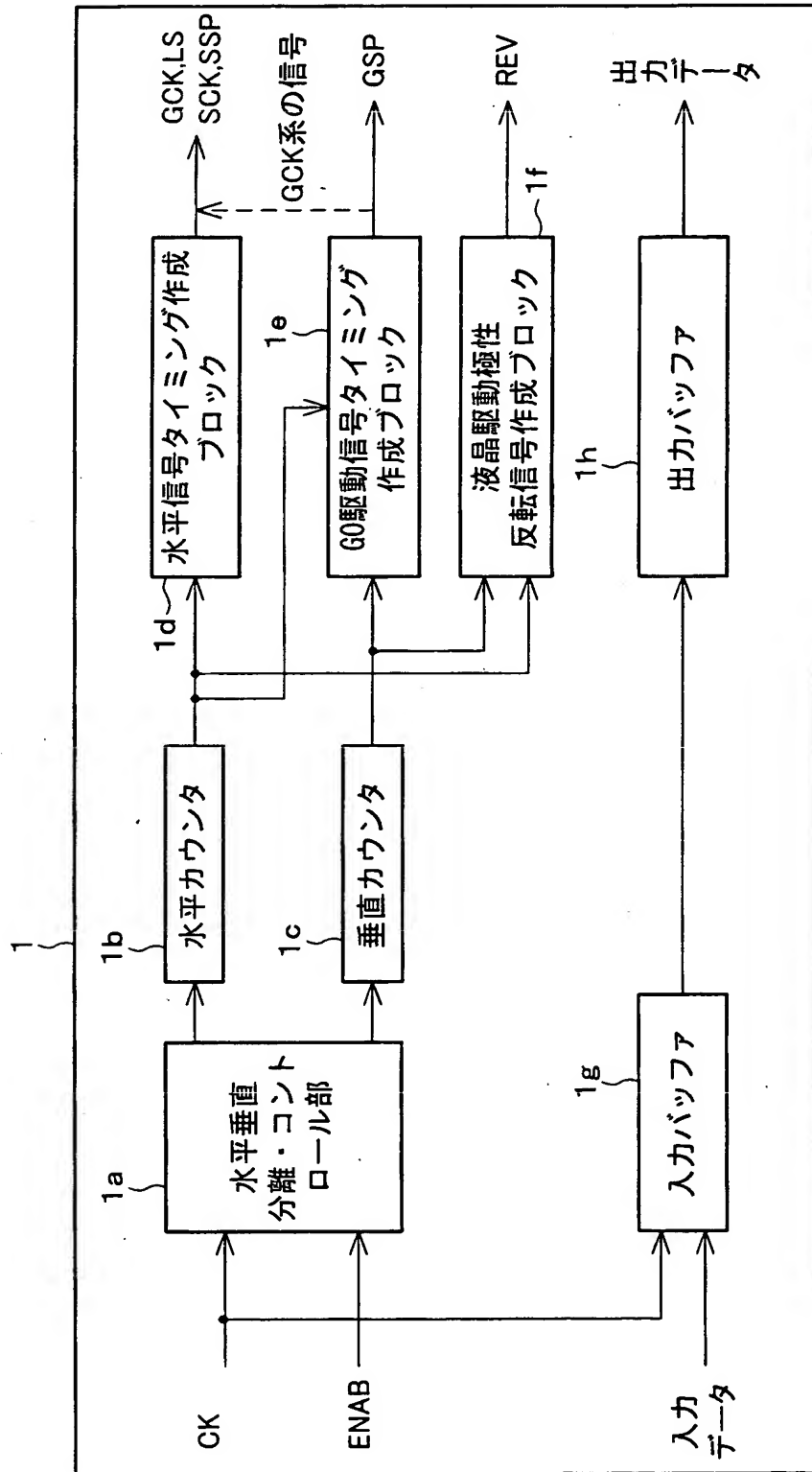
1、15	タイミングコントロールASIC（制御装置）
3、6、10、22、26	液晶パネル（表示パネル）
2、5、21、25	ゲートドライバ（行駆動回路）
5a～5d	ドライバIC
CK	クロック信号
ENAB	データイネーブル信号
G	ゲートライン（行ライン）
S	ソースライン（列ライン）
GSP	ゲートスタートパルス信号（行駆動用タイミング信号、スタートパルス信号）
GCK	ゲートクロック信号（行駆動用タイミング信号、シフトクロック信号）
LS	ラッチストローク信号（列駆動用タイミング信号）
SCK	ソースクロック信号（列駆動用タイミング信号）
SSP	ソーススタートパルス信号（列駆動用タイミング信号）

【書類名】 図面

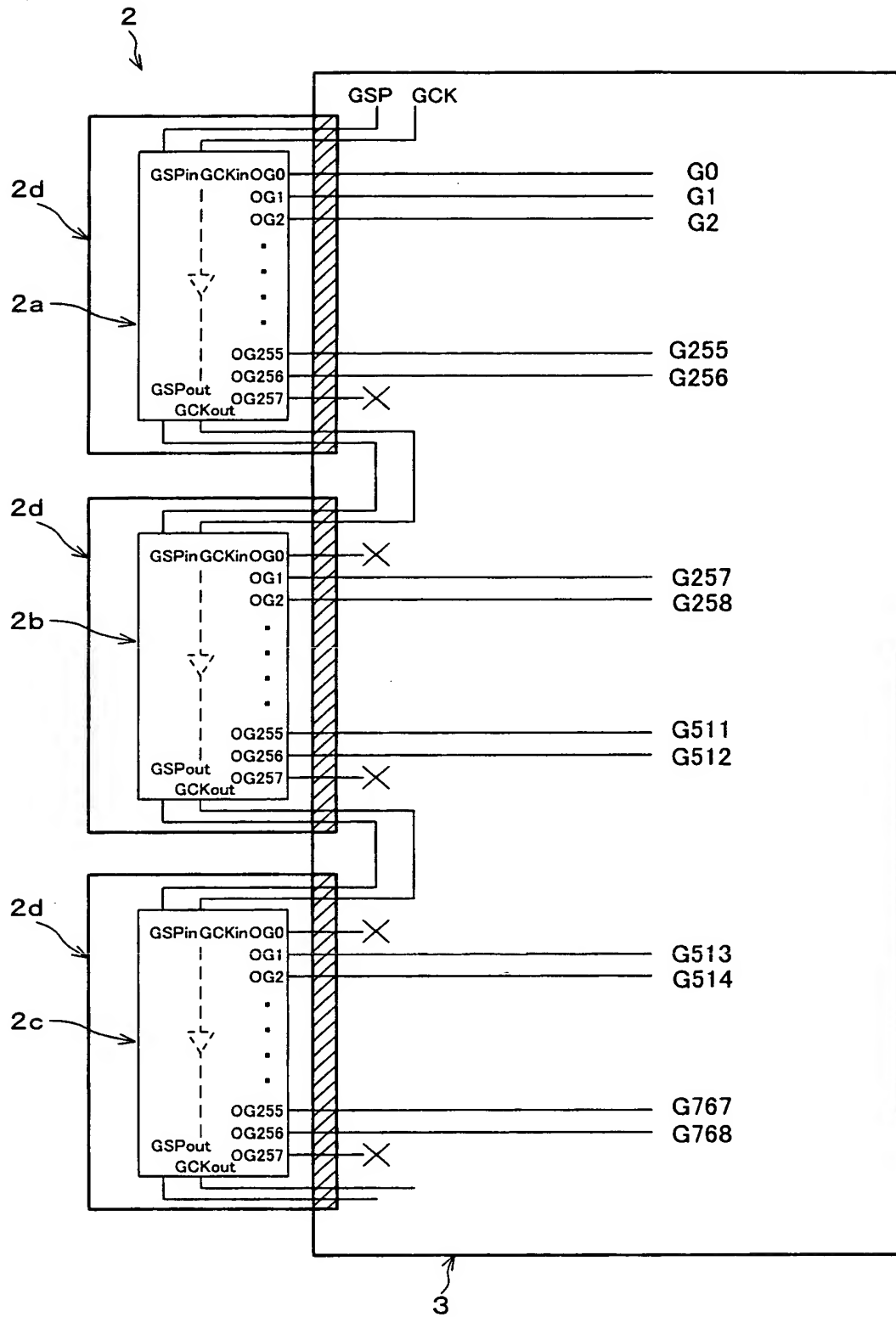
【図 1】



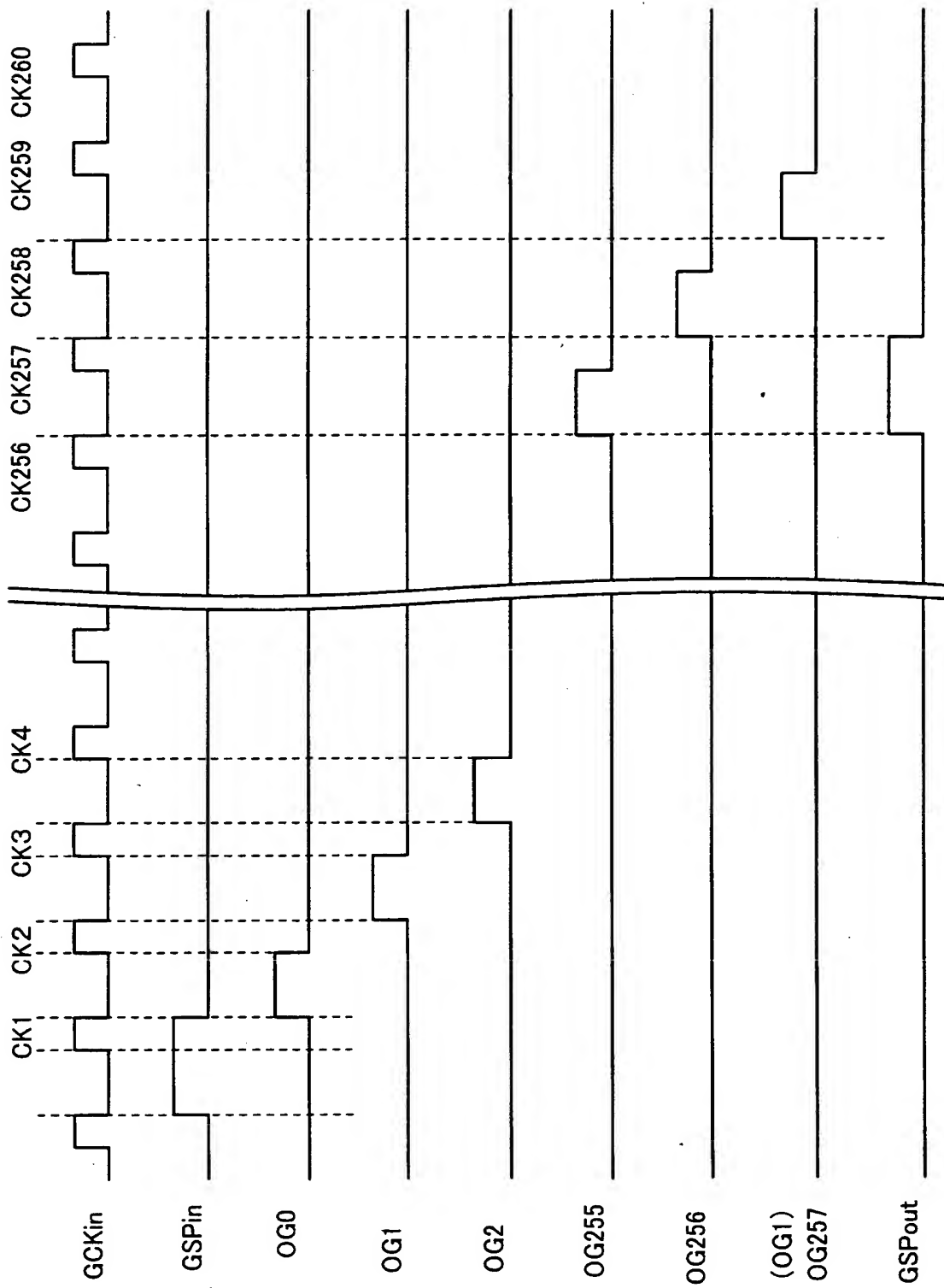
【図 2】



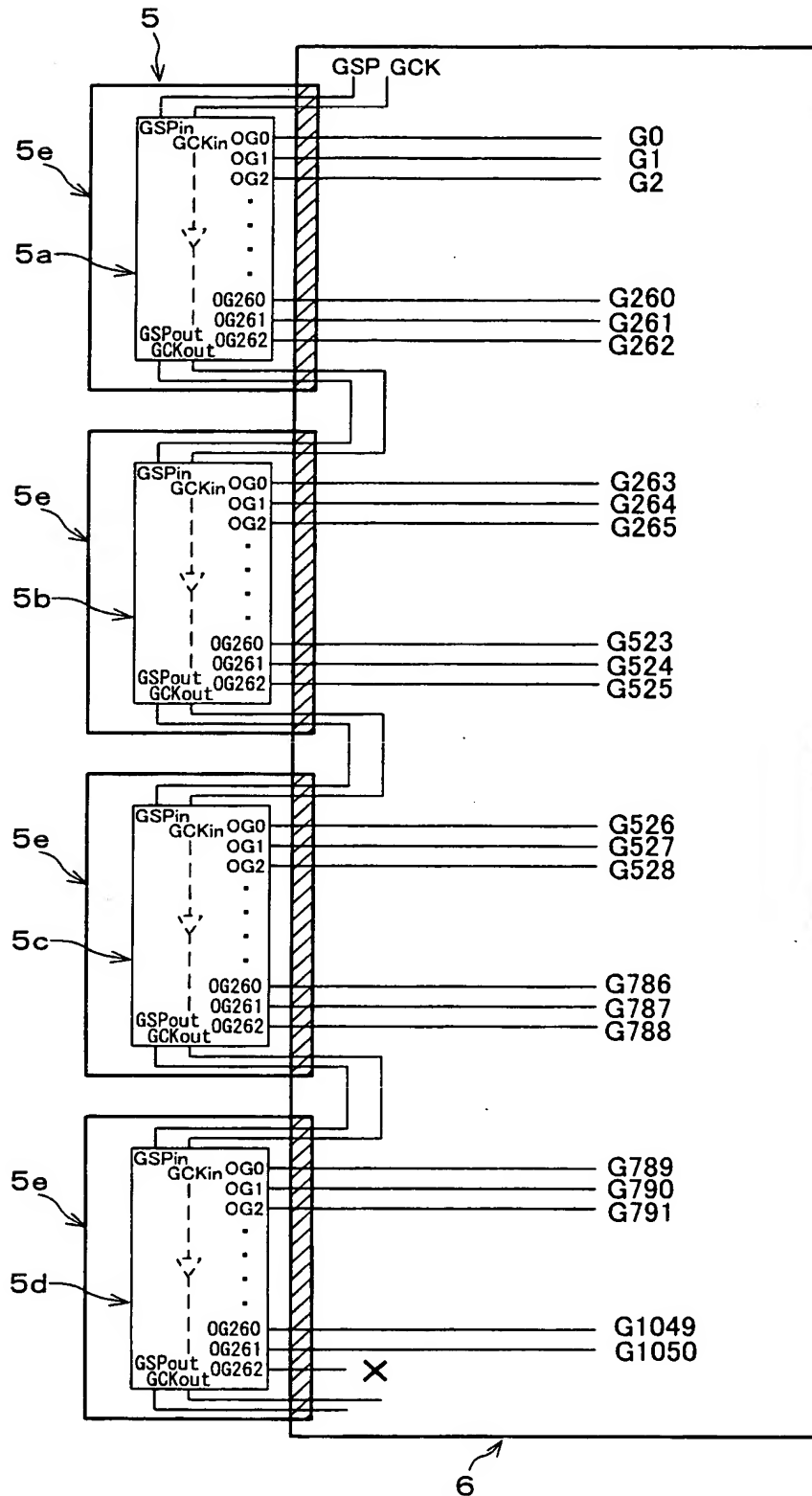
【図 3】



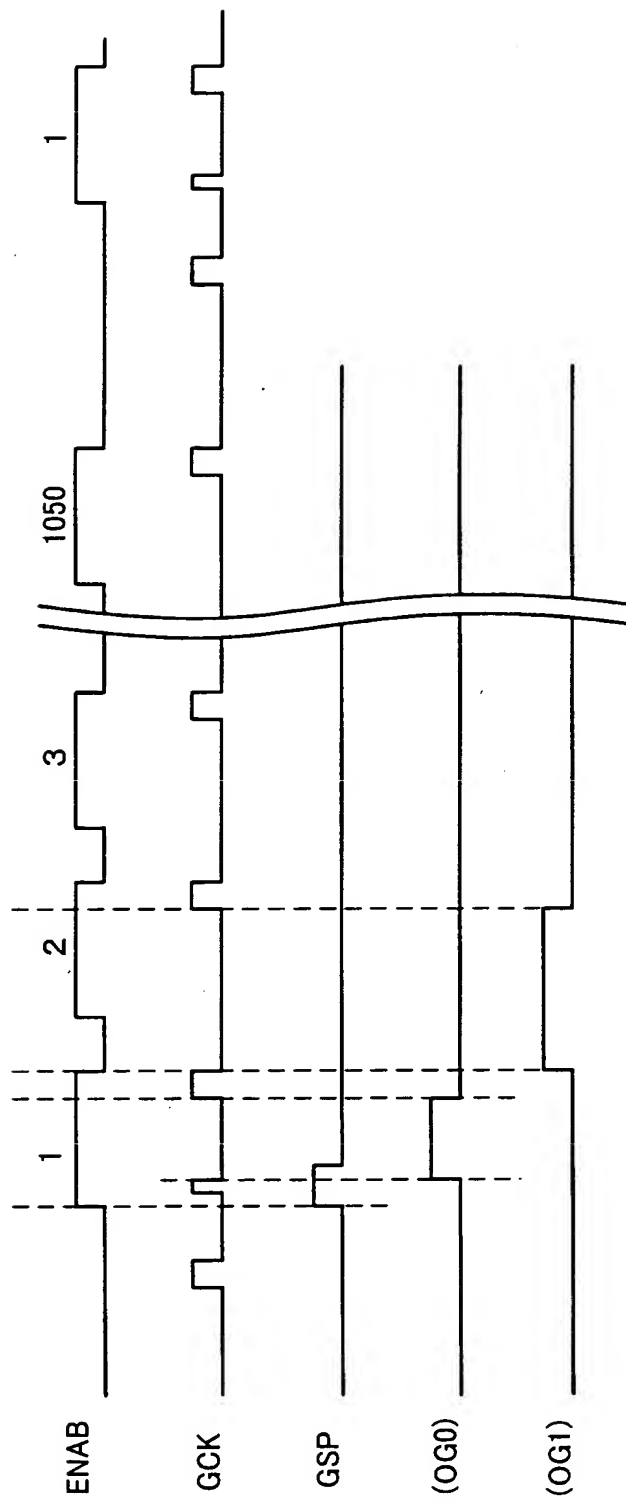
【図 4】



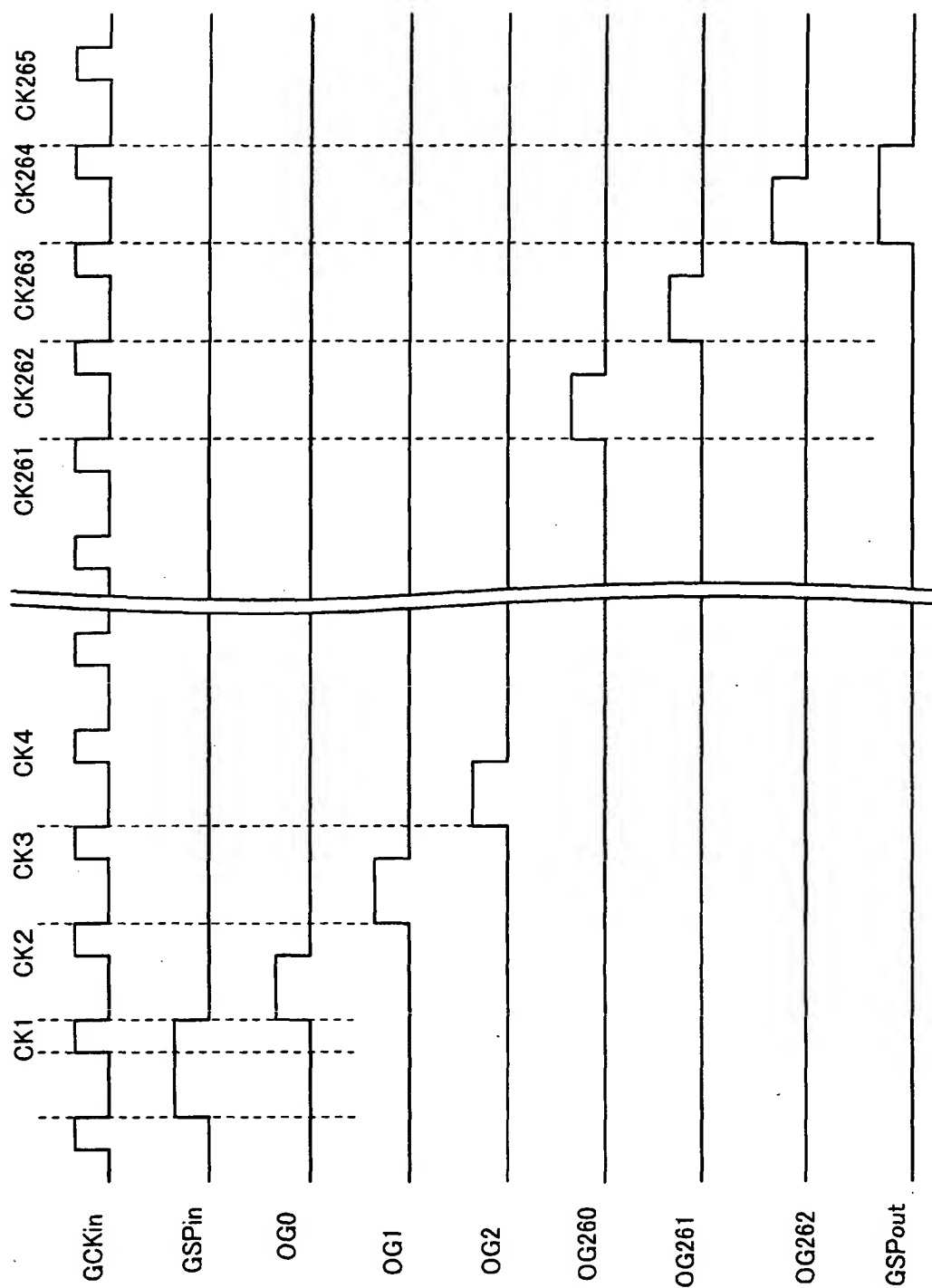
【図 5】



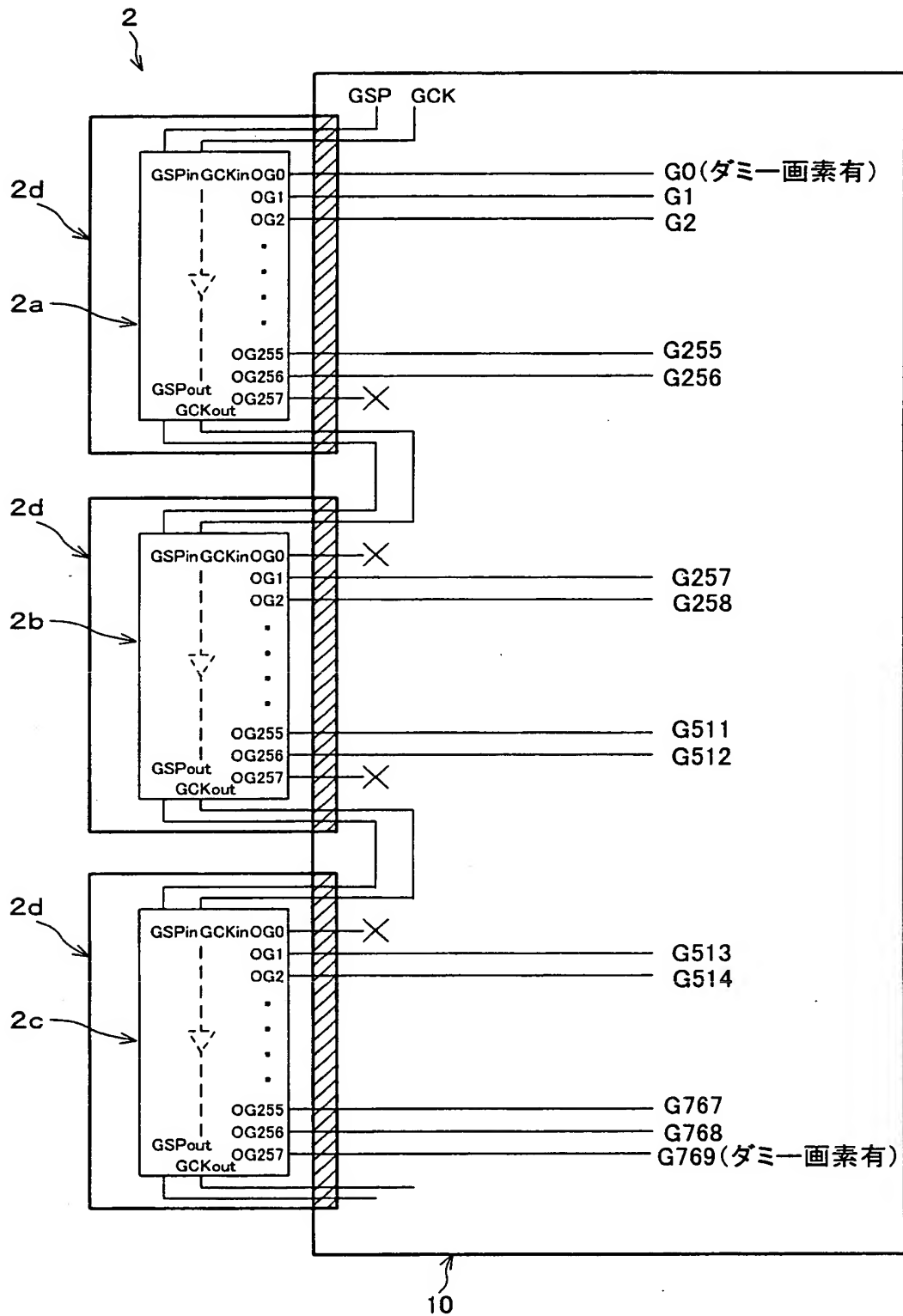
【図 6】



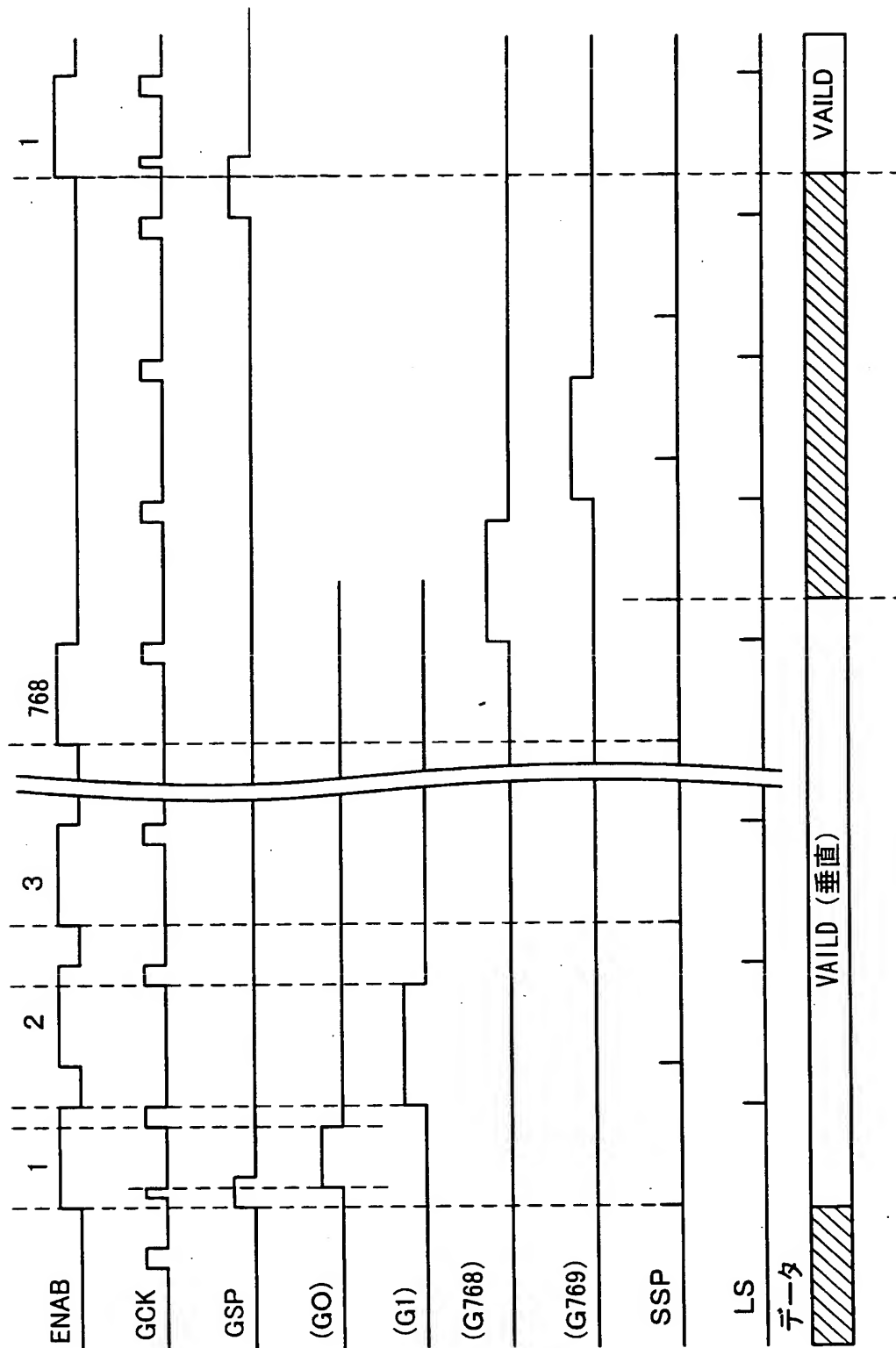
【図 7】



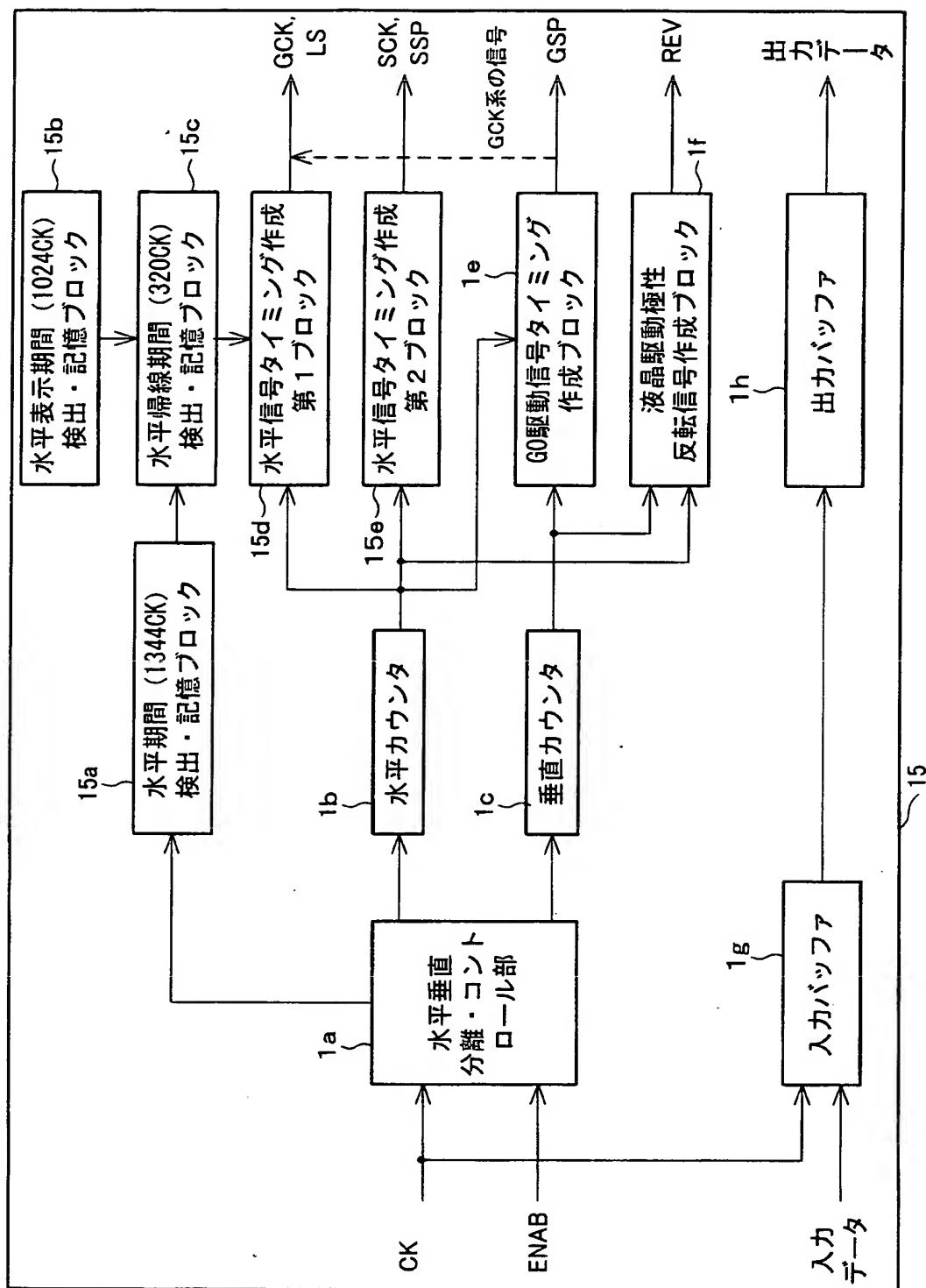
【図 8】



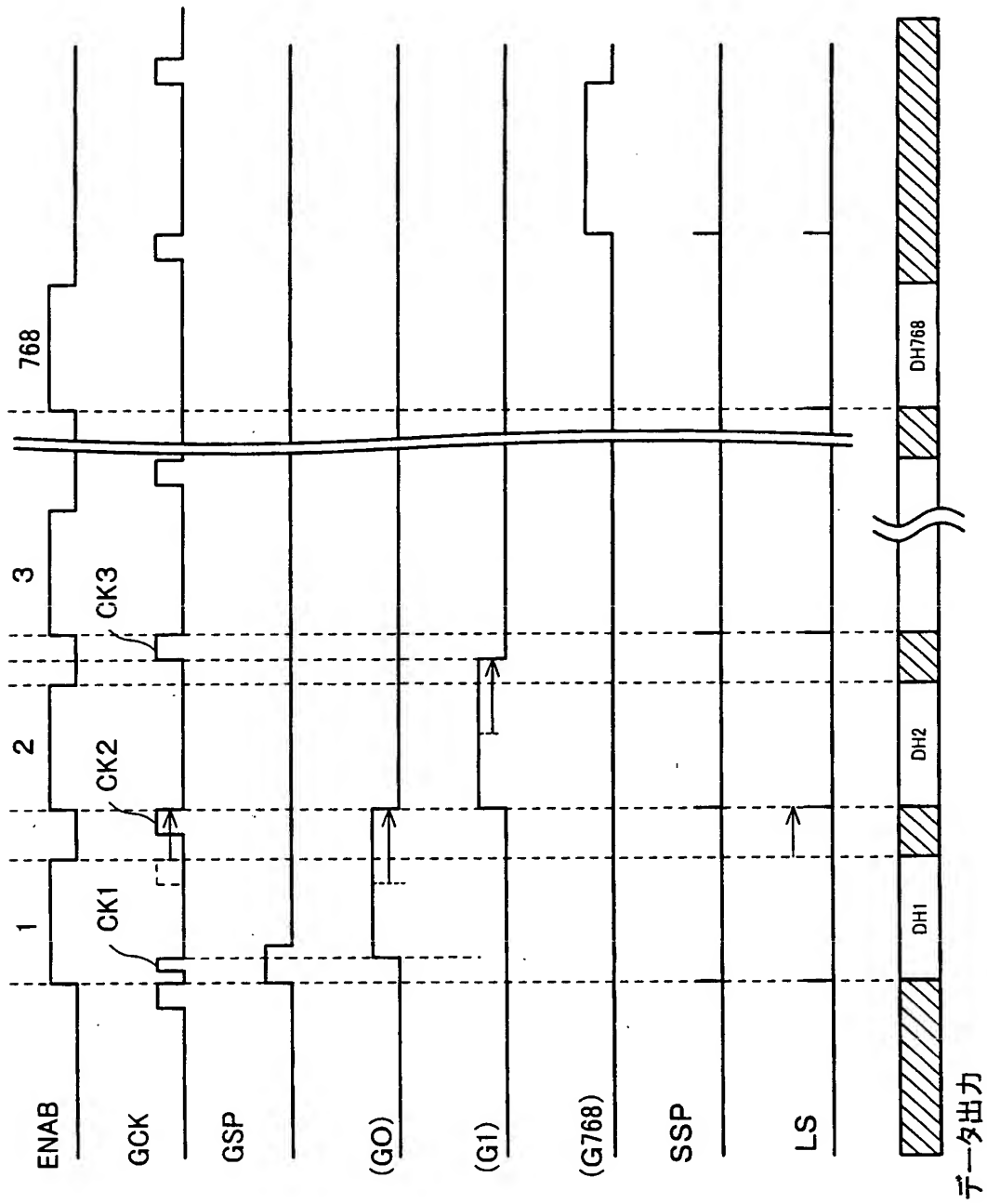
【図9】



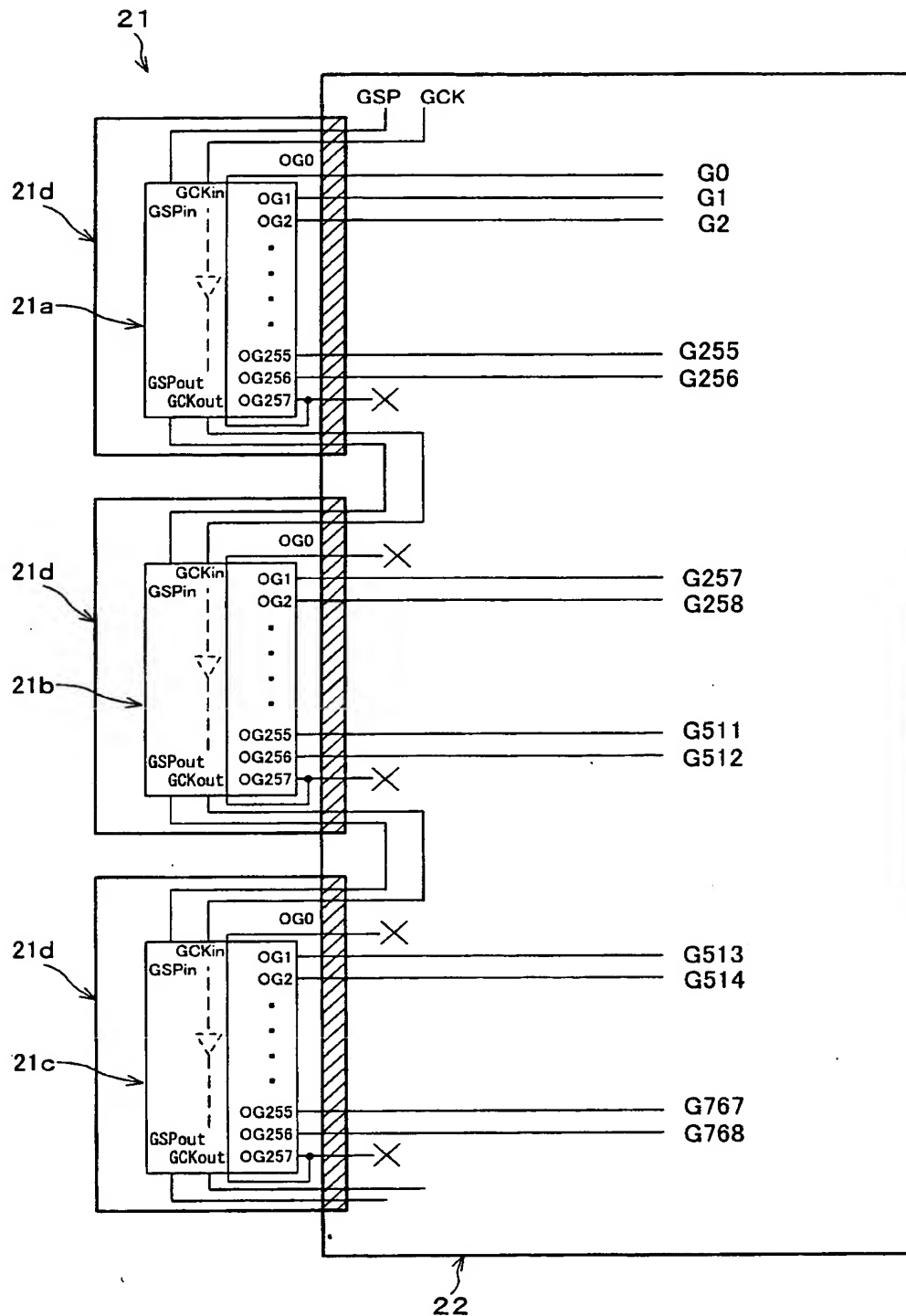
【図10】



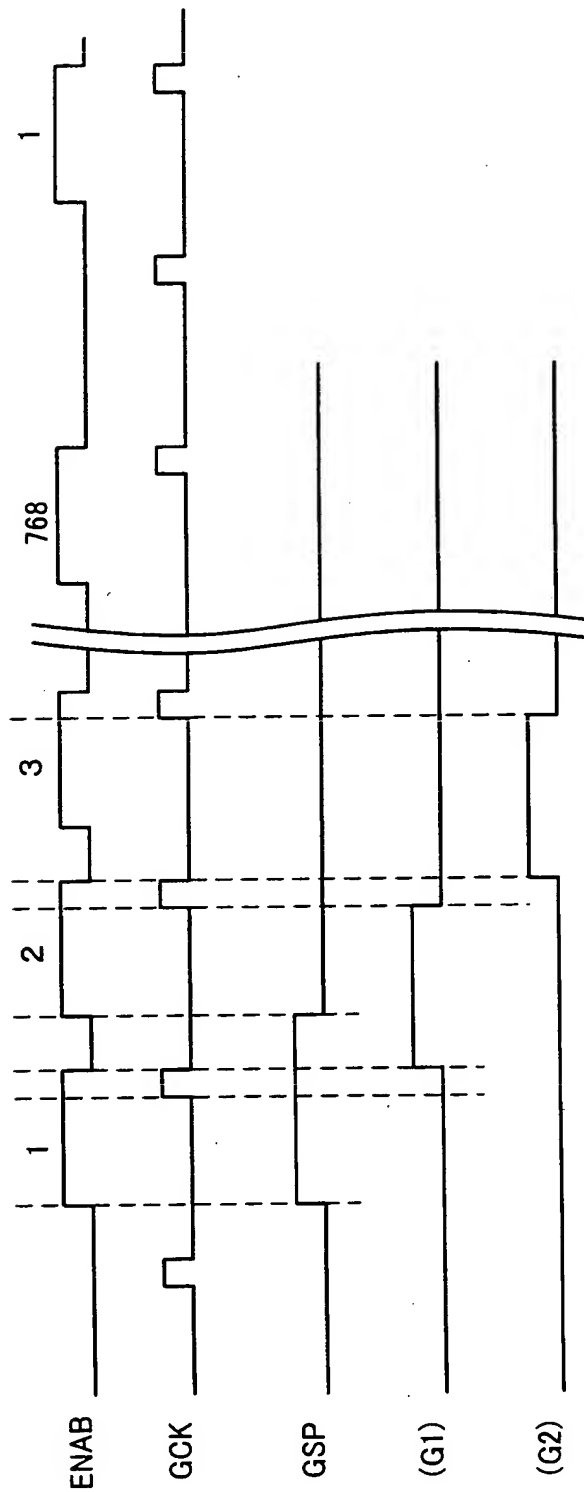
【图 1 1】



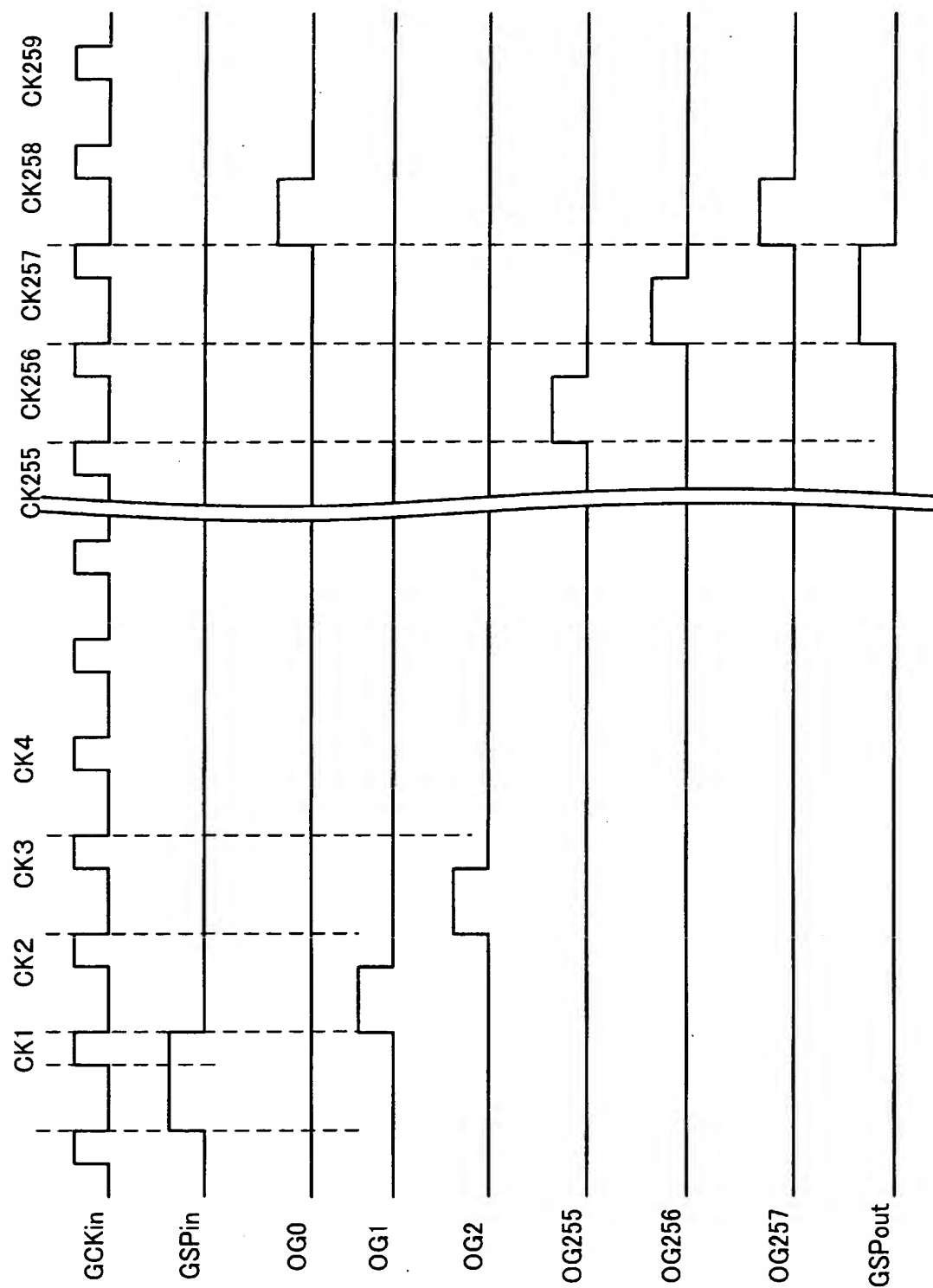
【図 12】



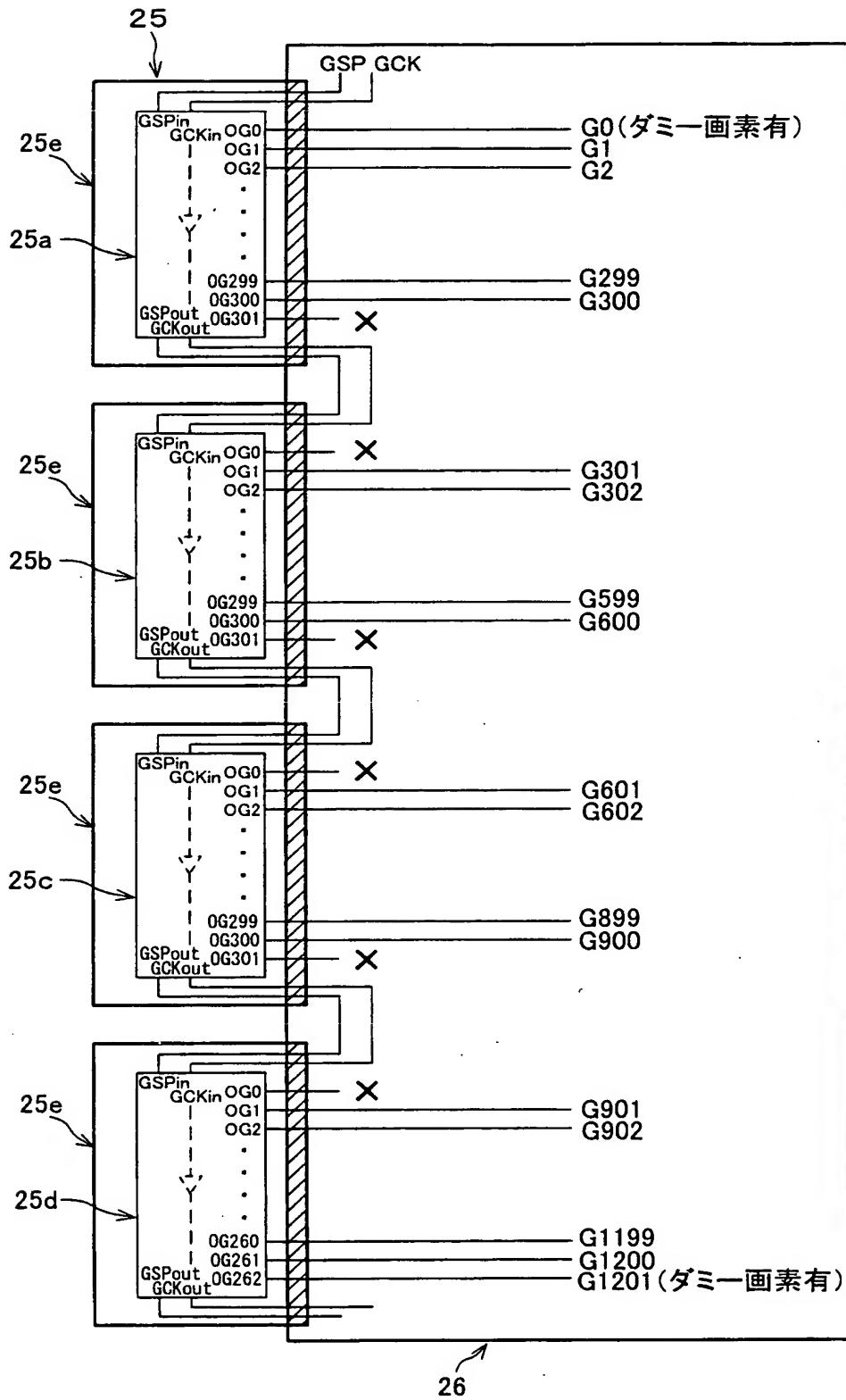
【図 1 3】



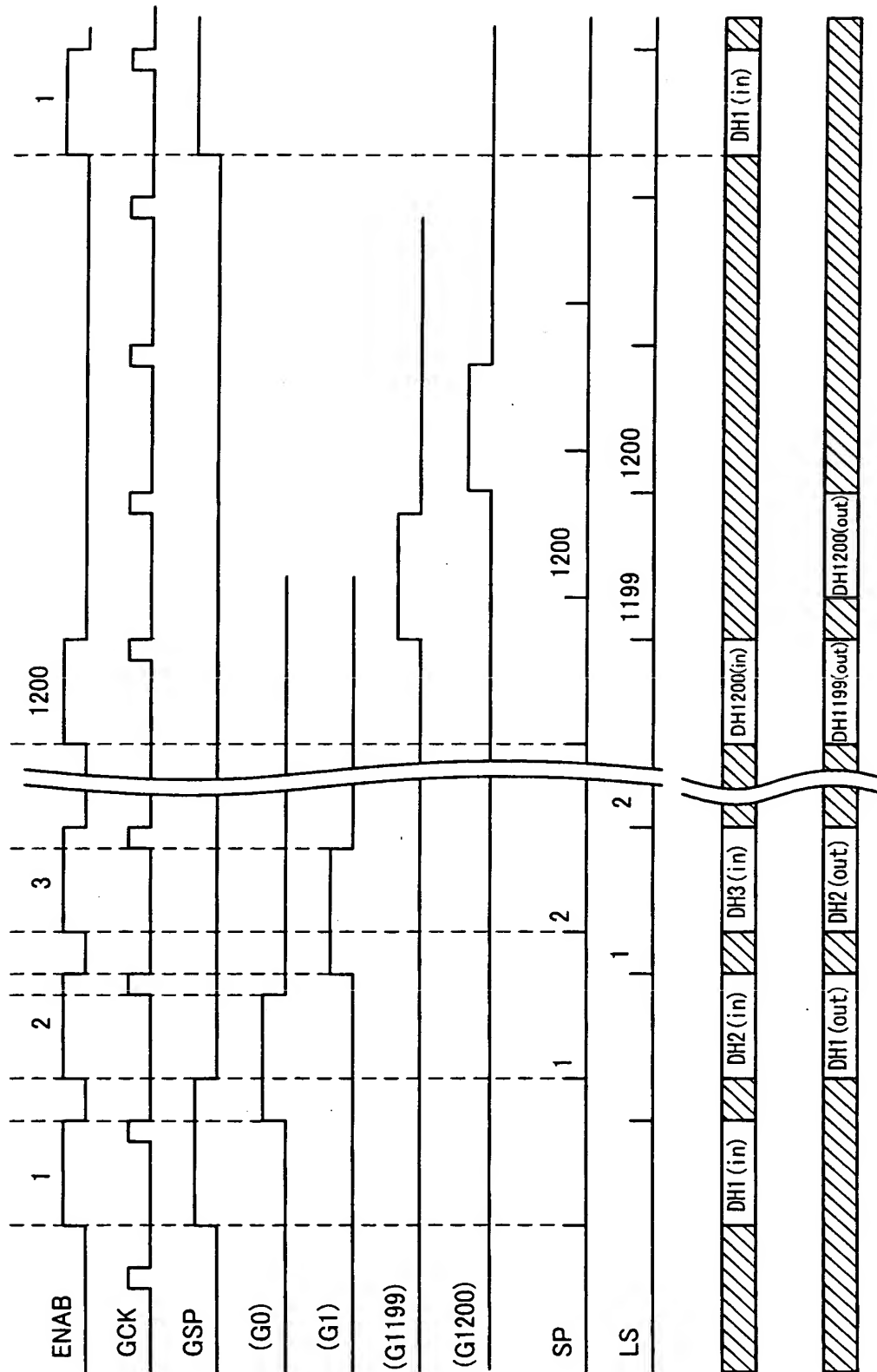
【図 14】



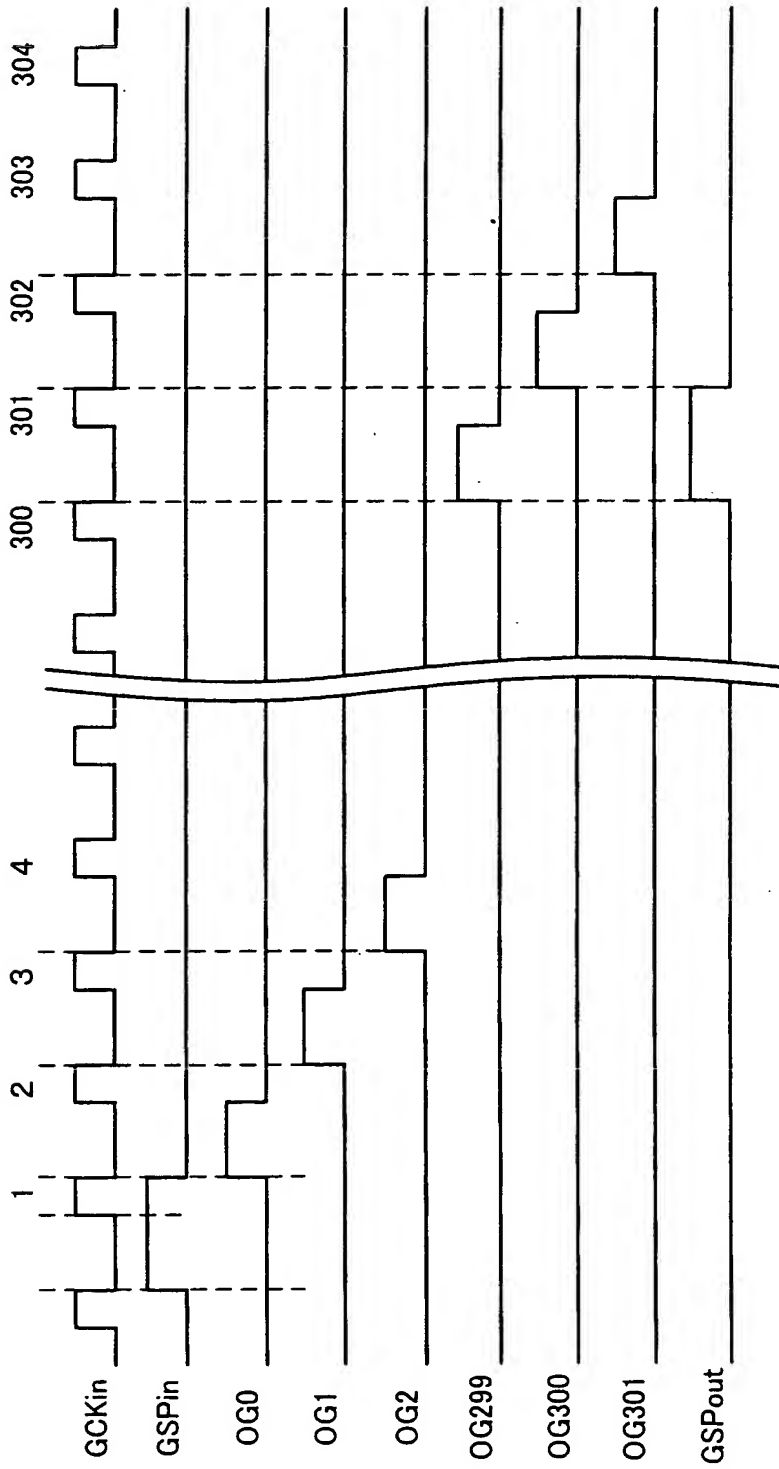
【図 15】



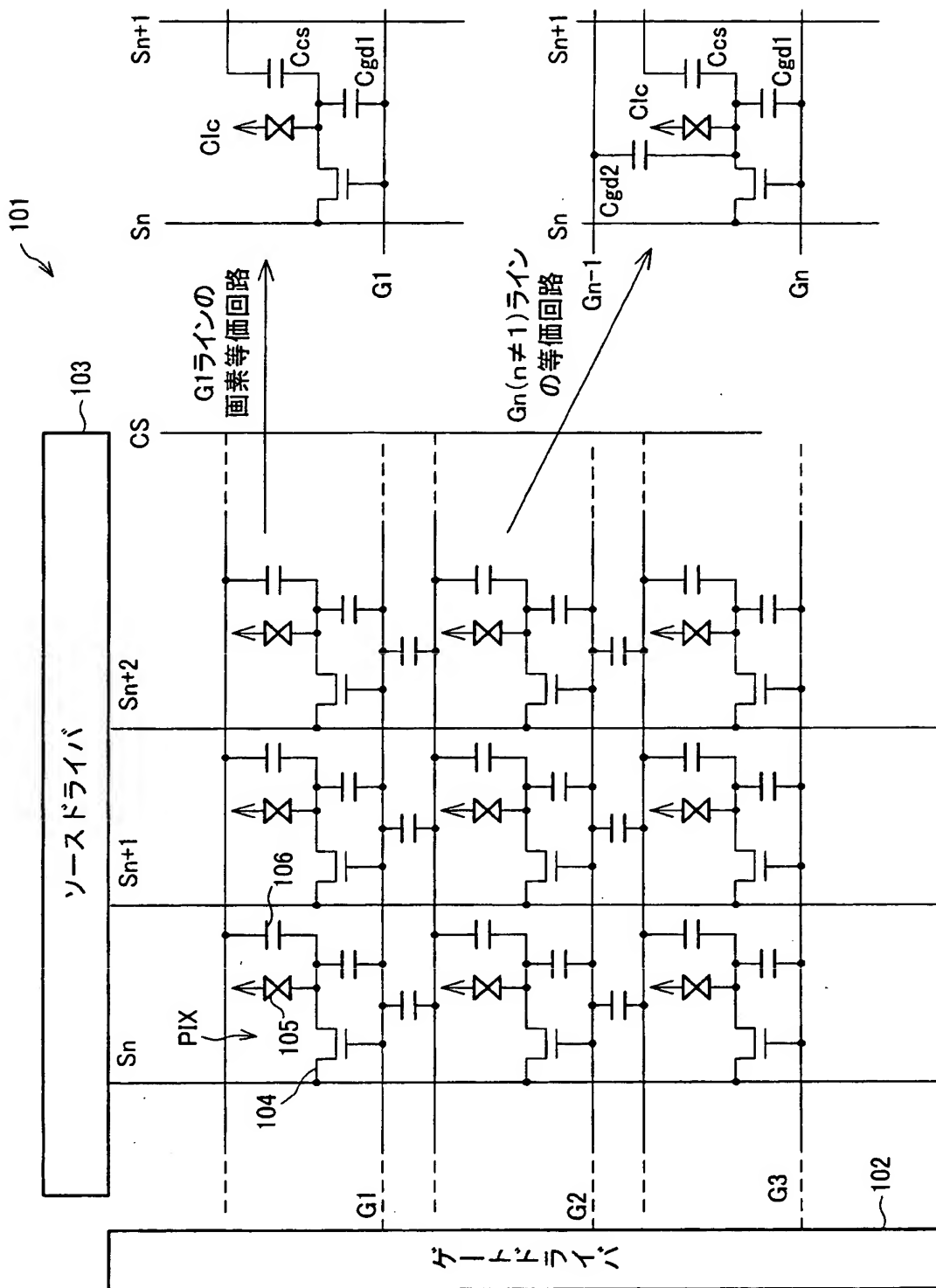
【図 1 6】



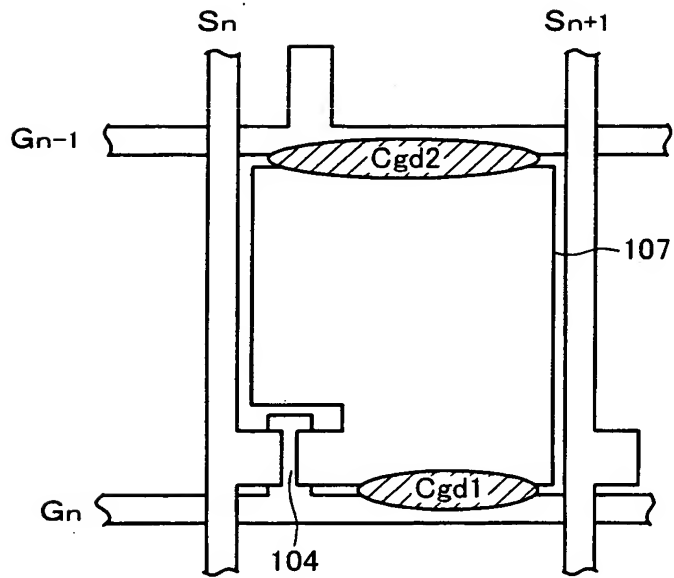
【図 1 7】



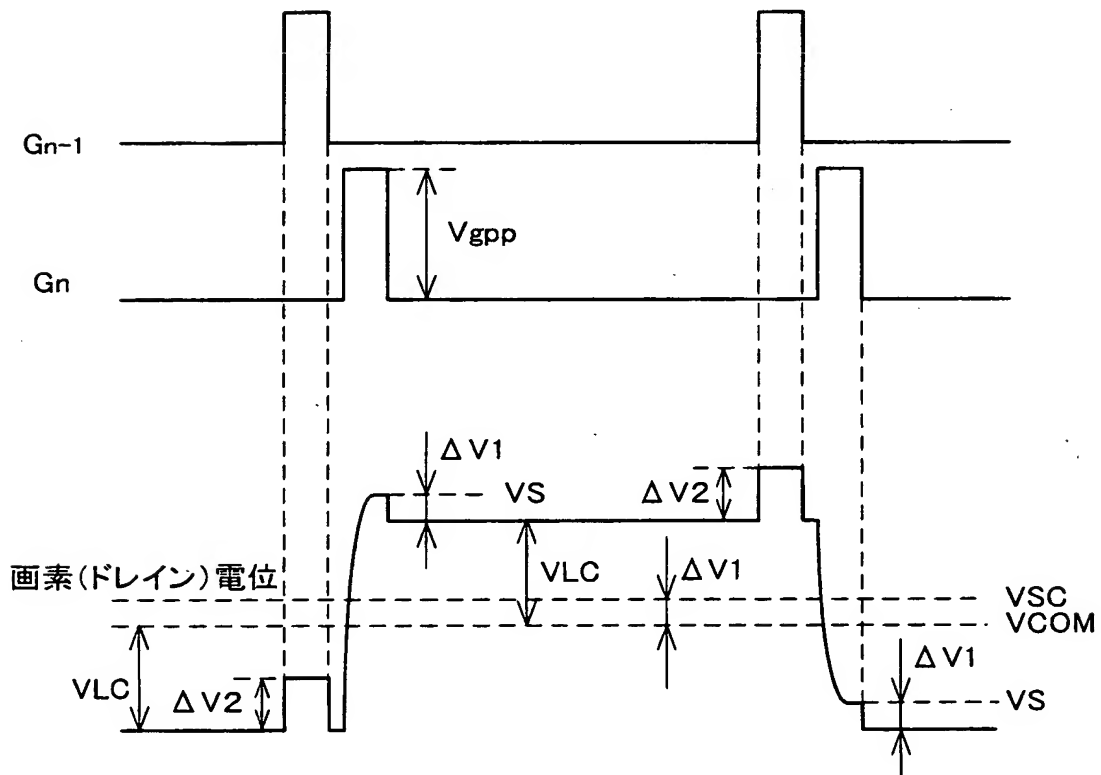
【図 18】



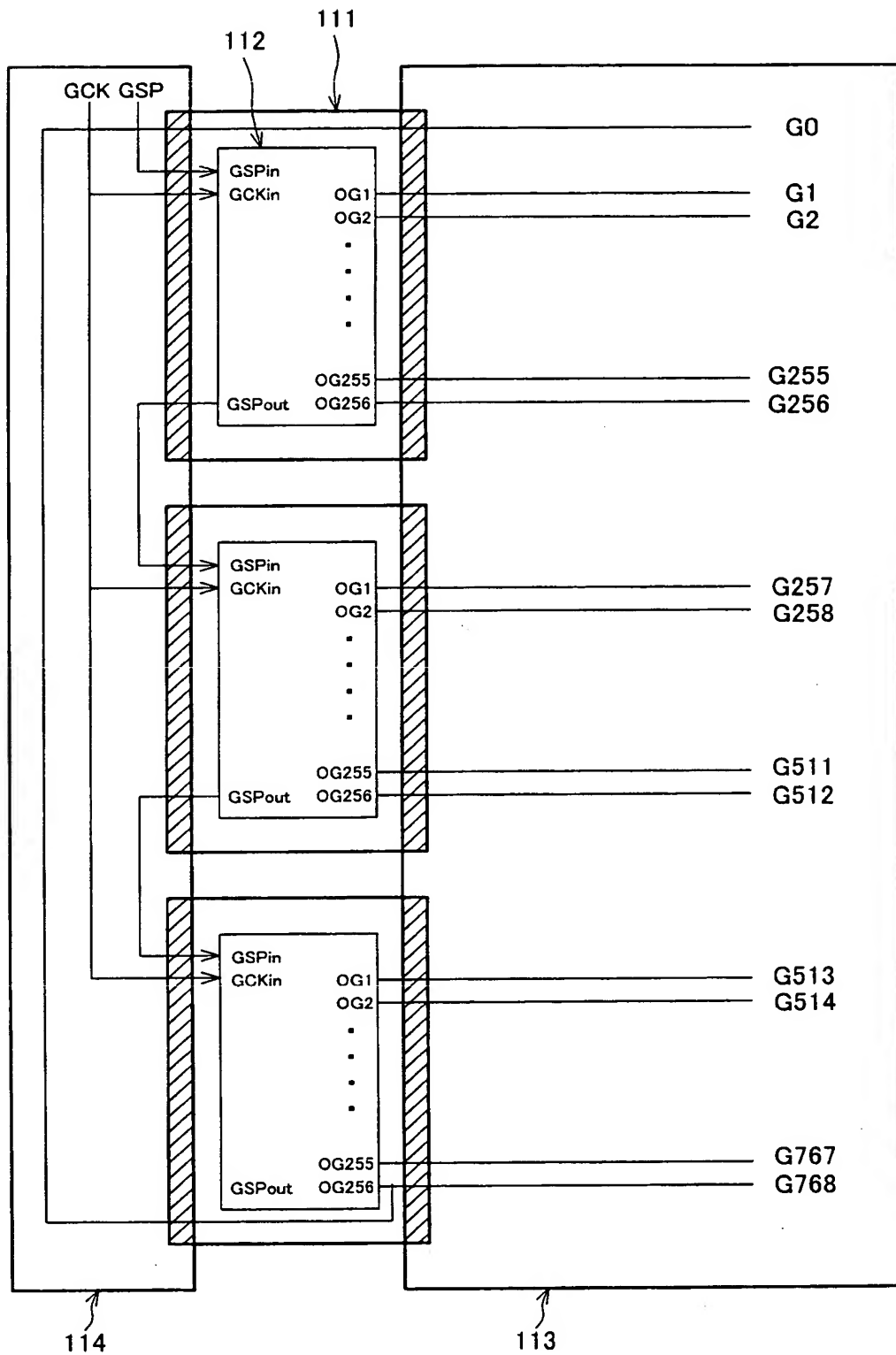
【図 1 9】



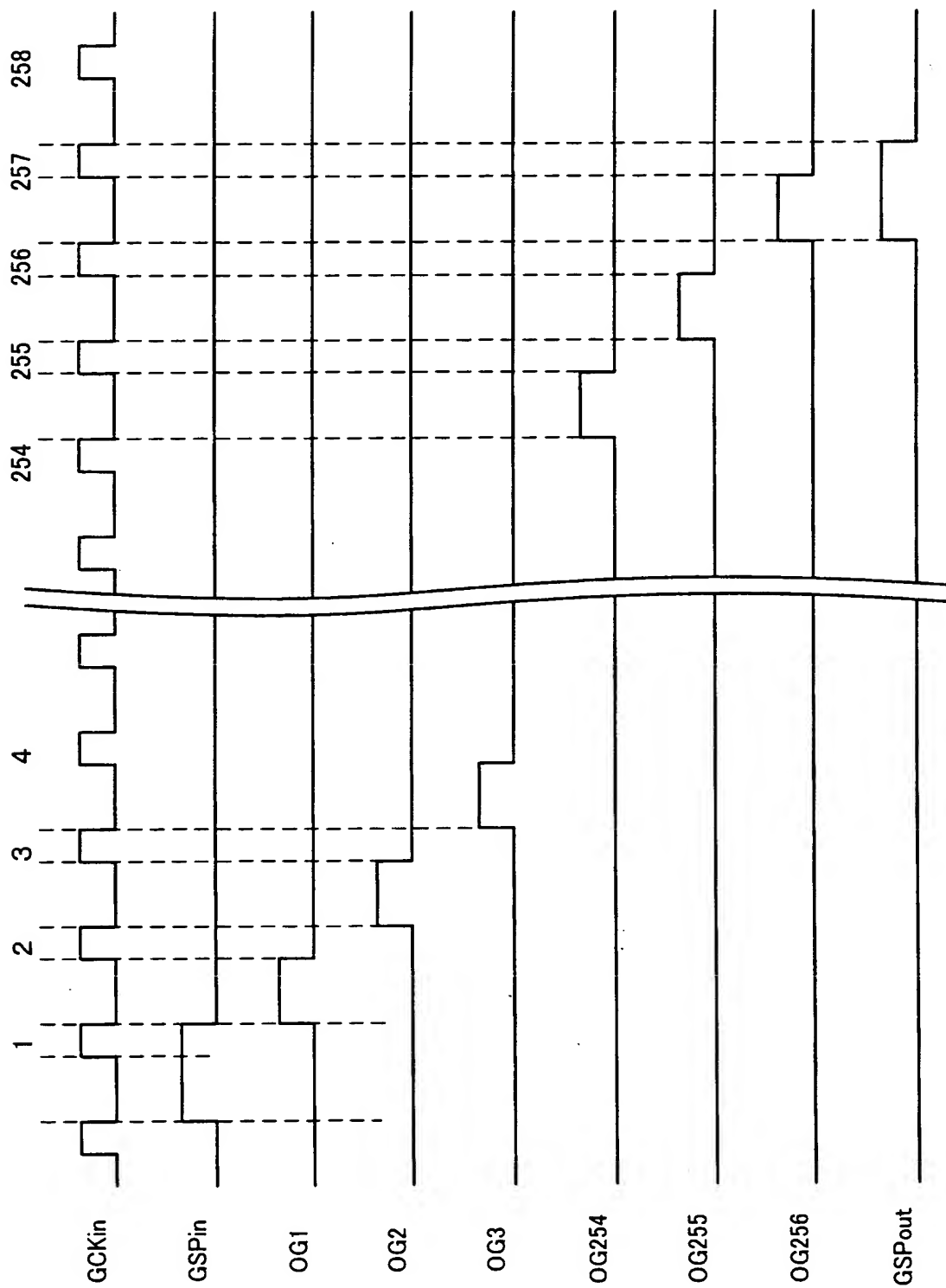
【図 2 0】



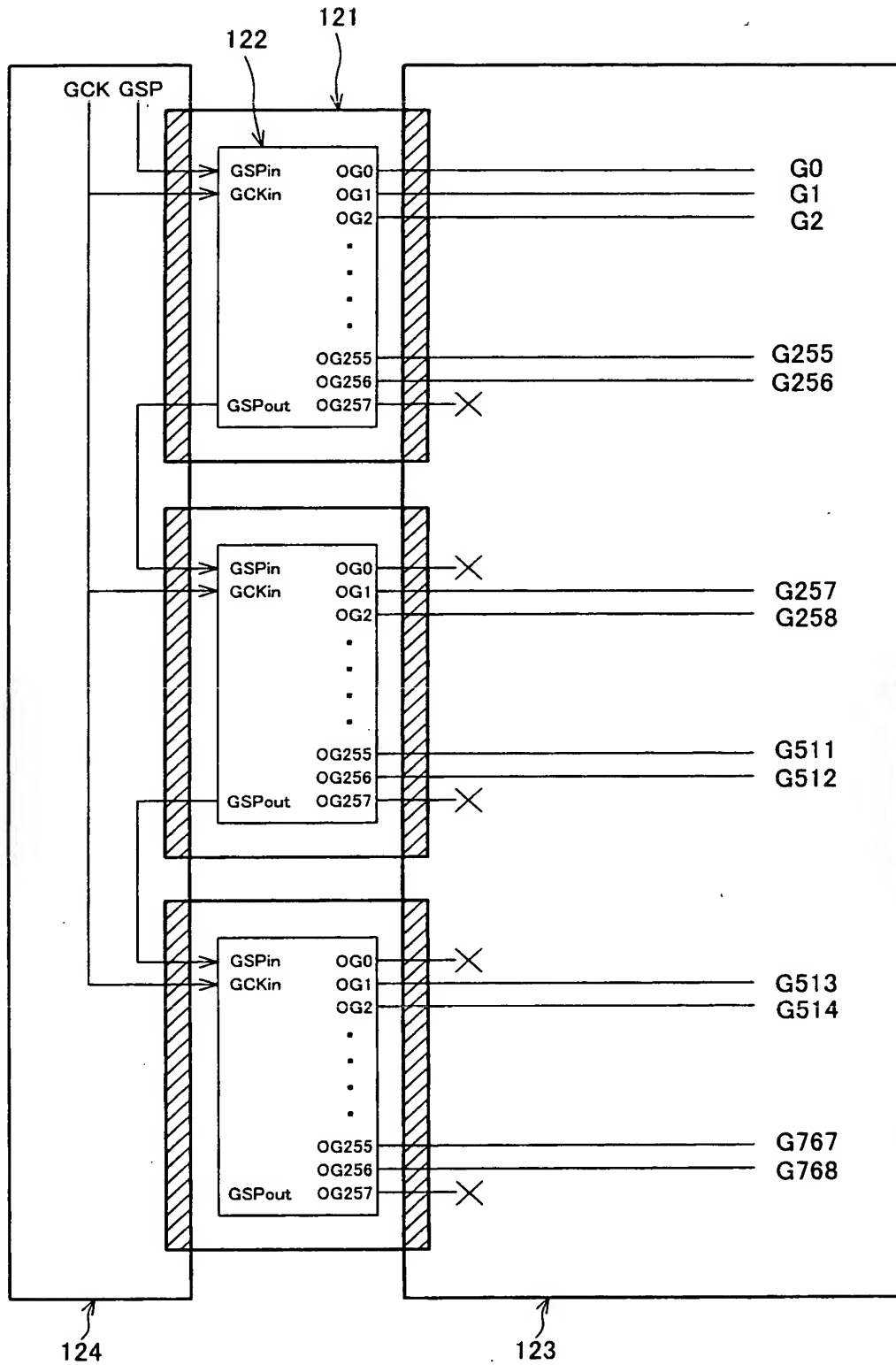
【図 2 1】



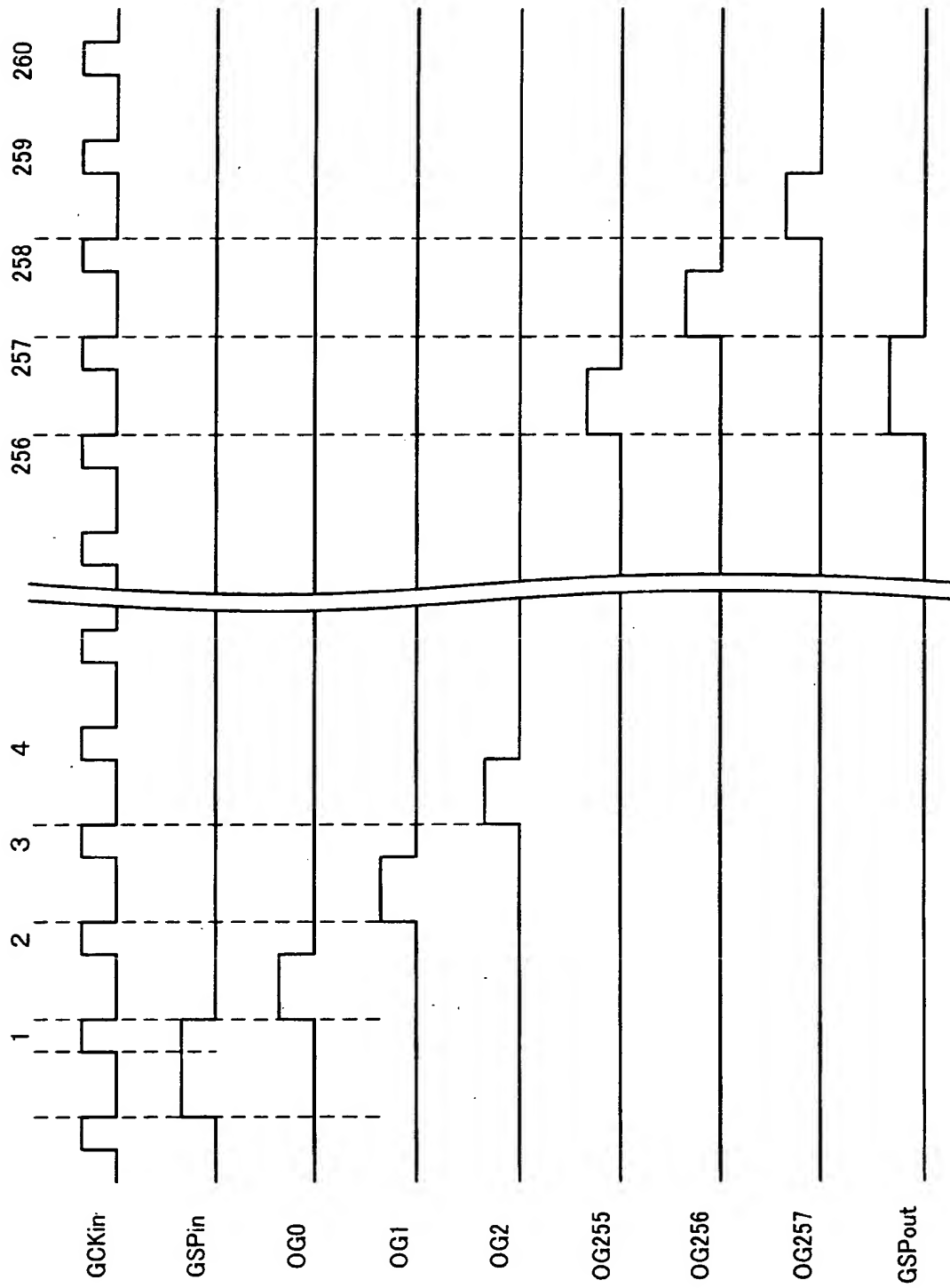
【図 2 2】



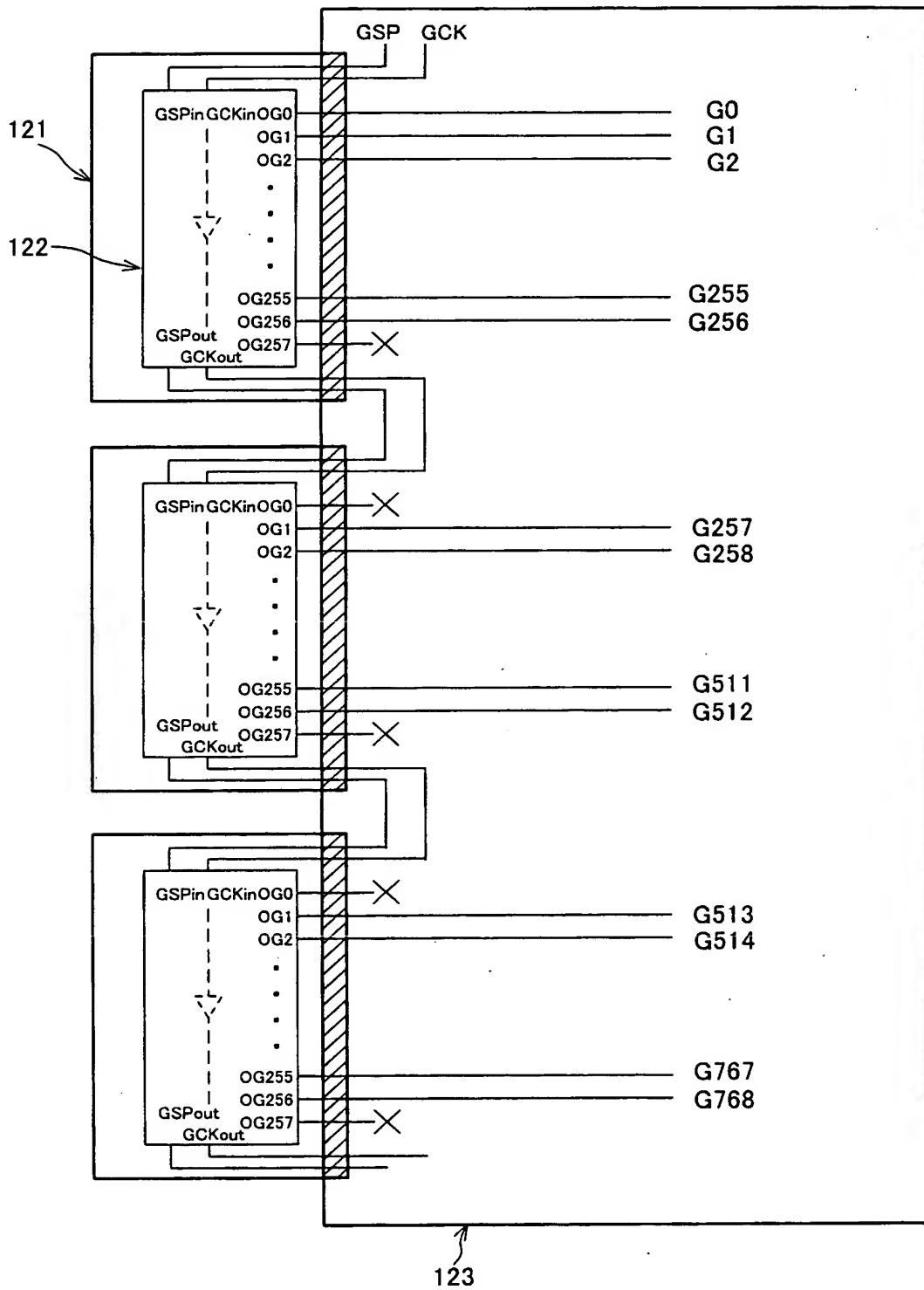
【図 2 3】



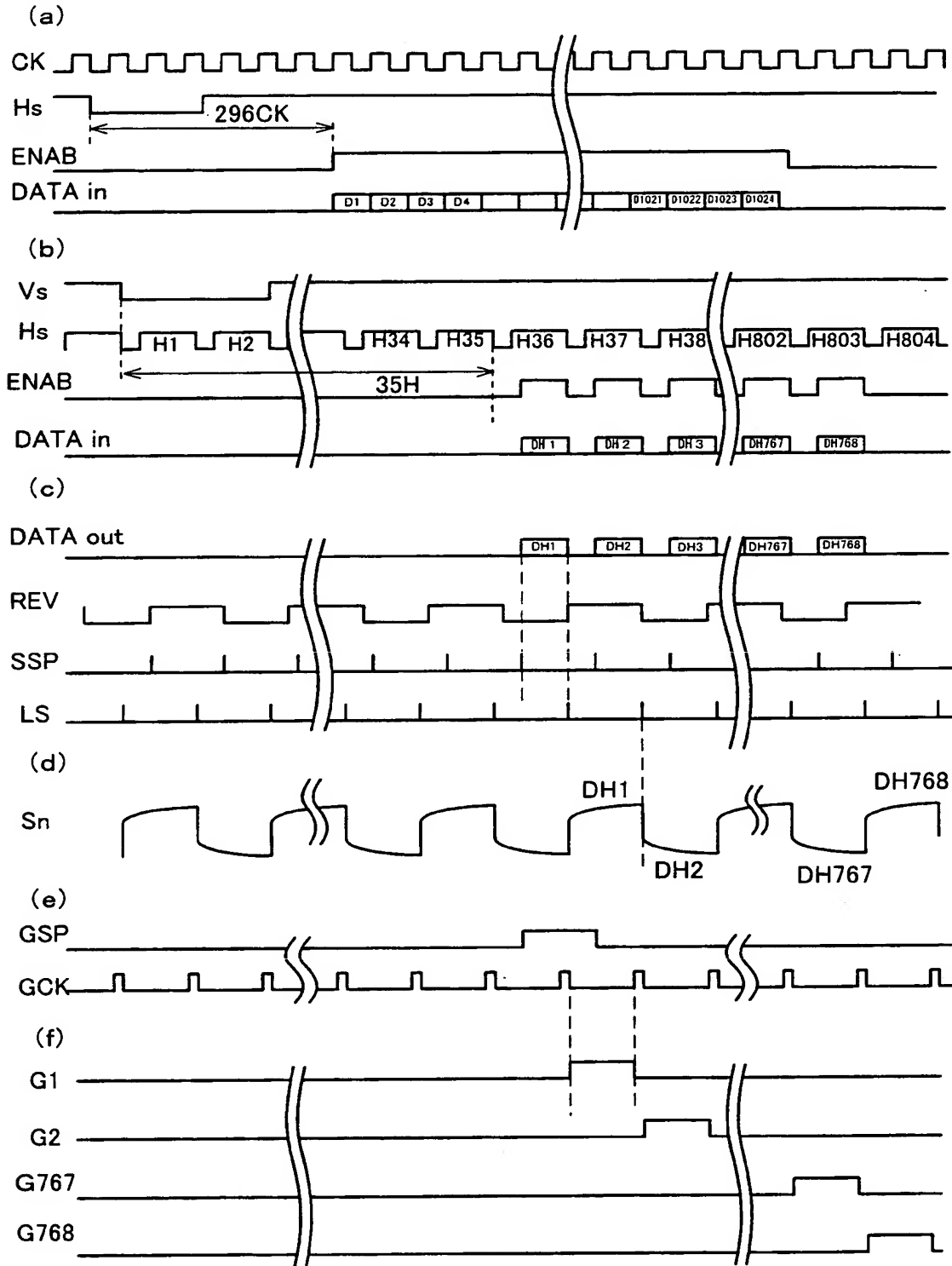
【図 24】



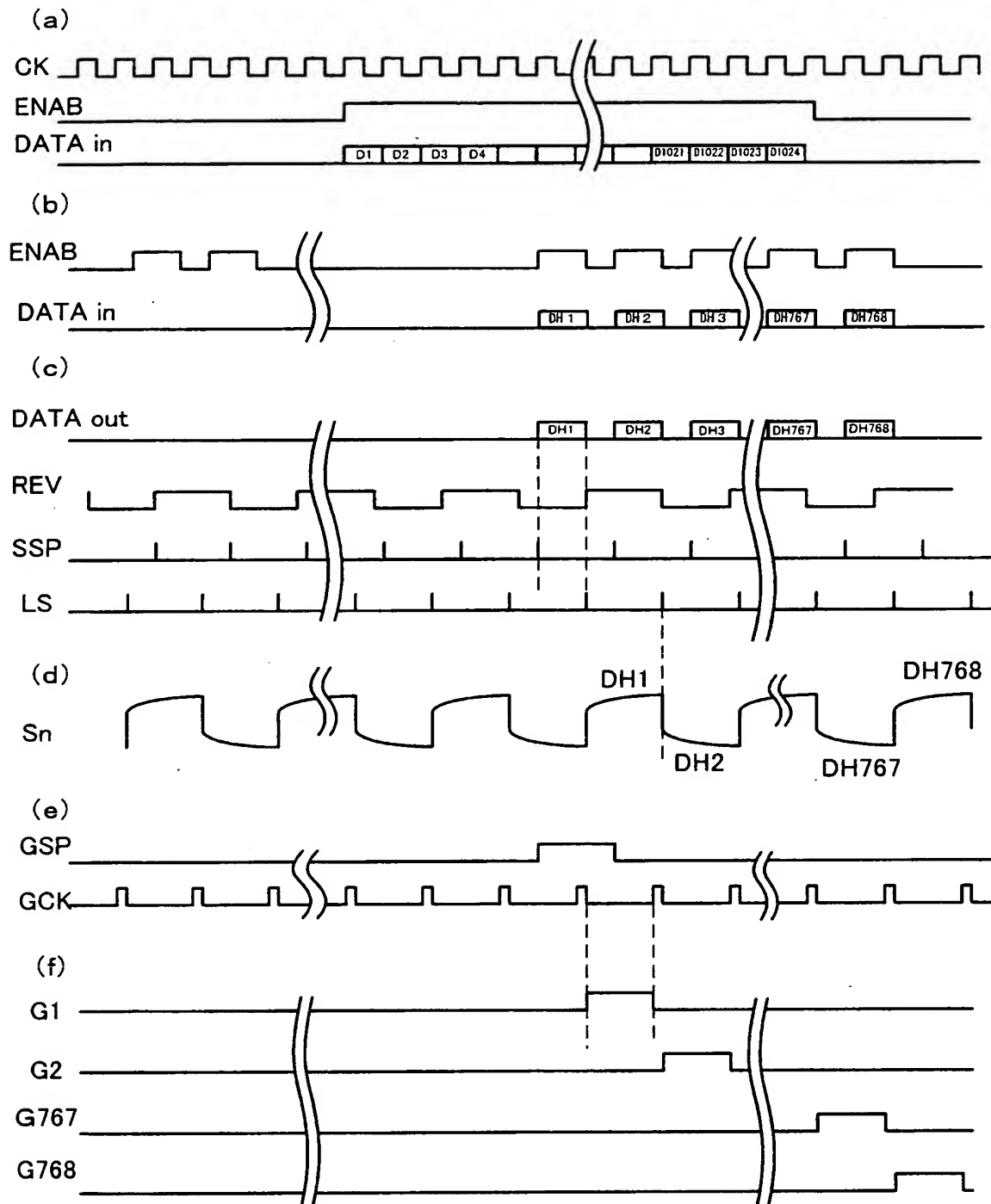
【図 25】



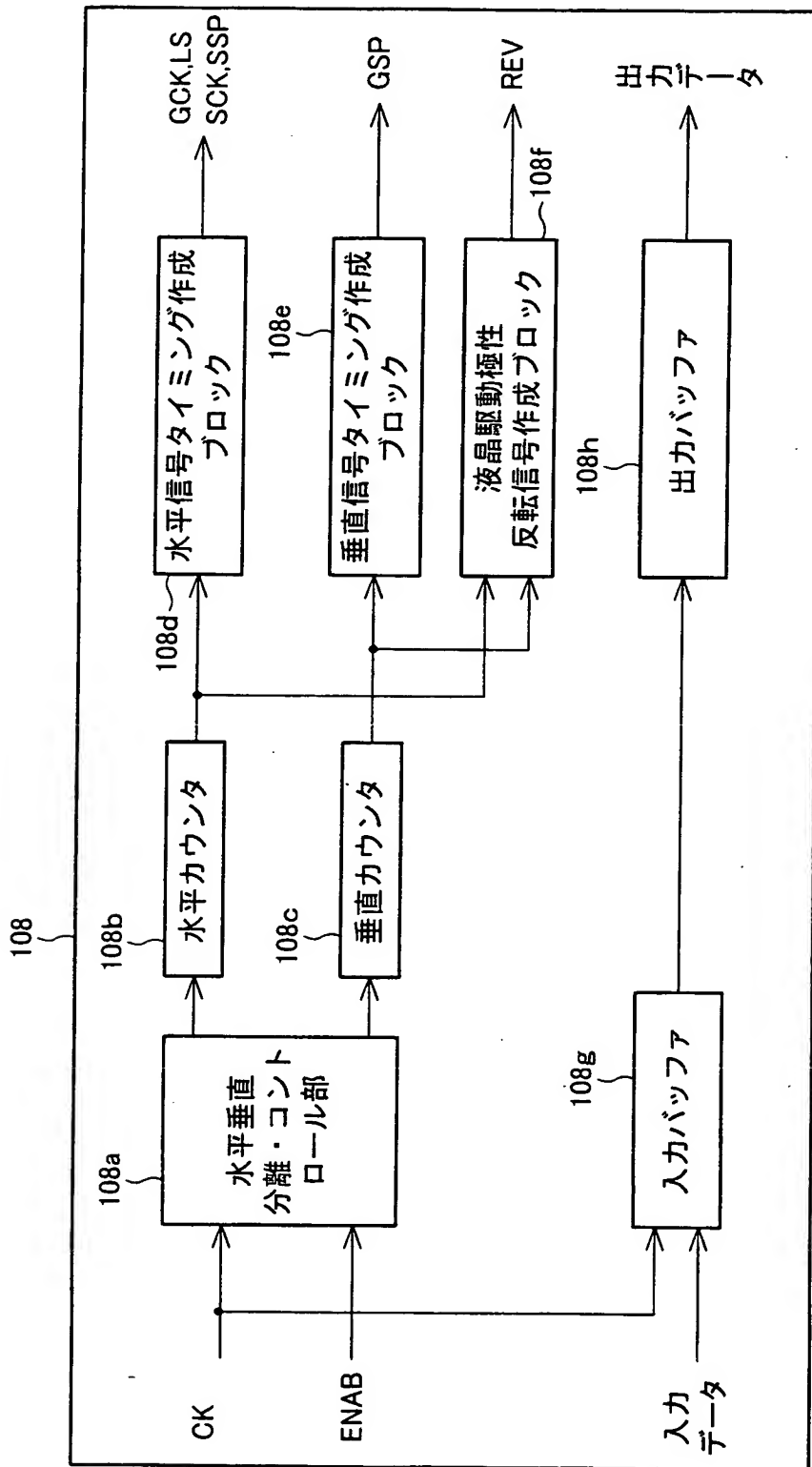
【図 26】



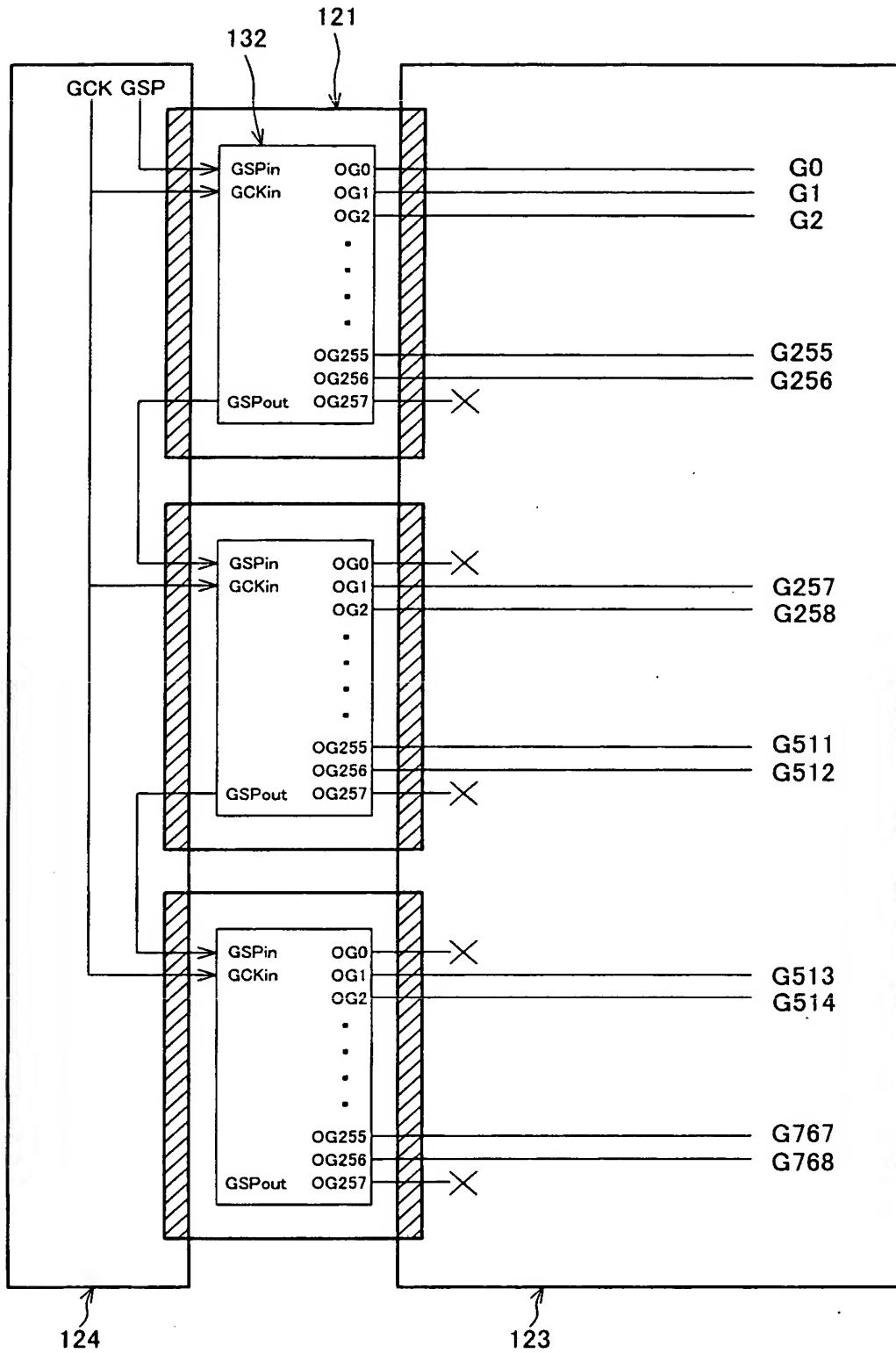
【図 27】



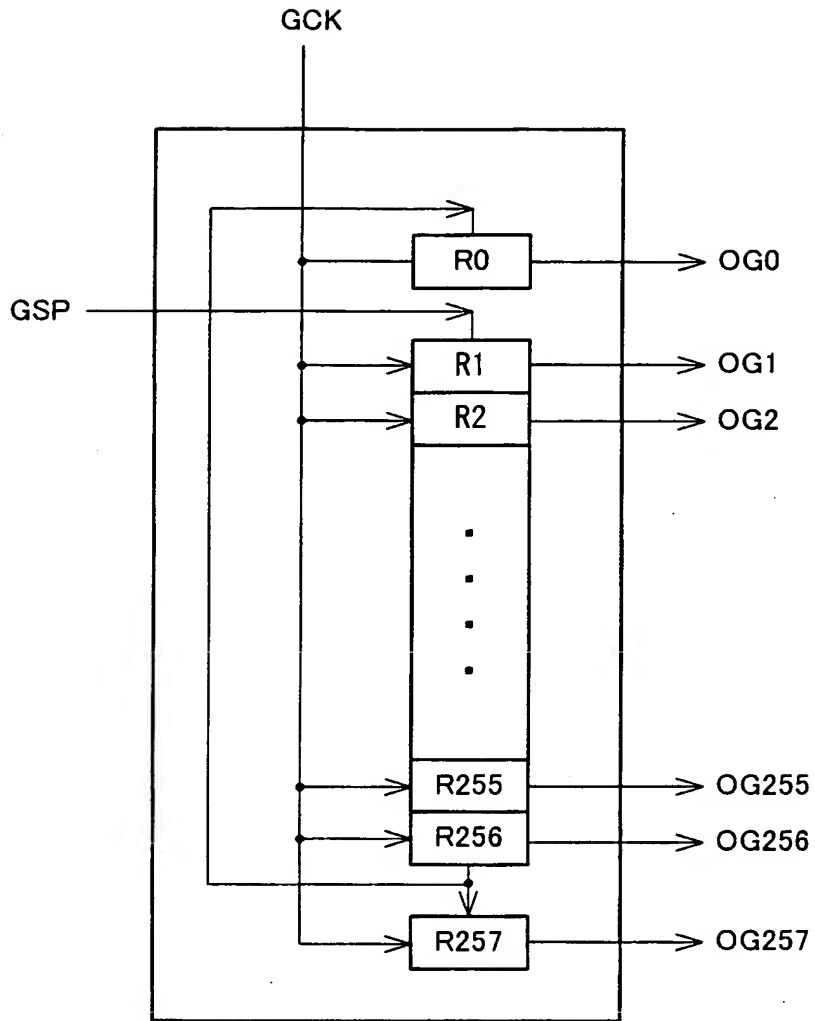
【図 28】



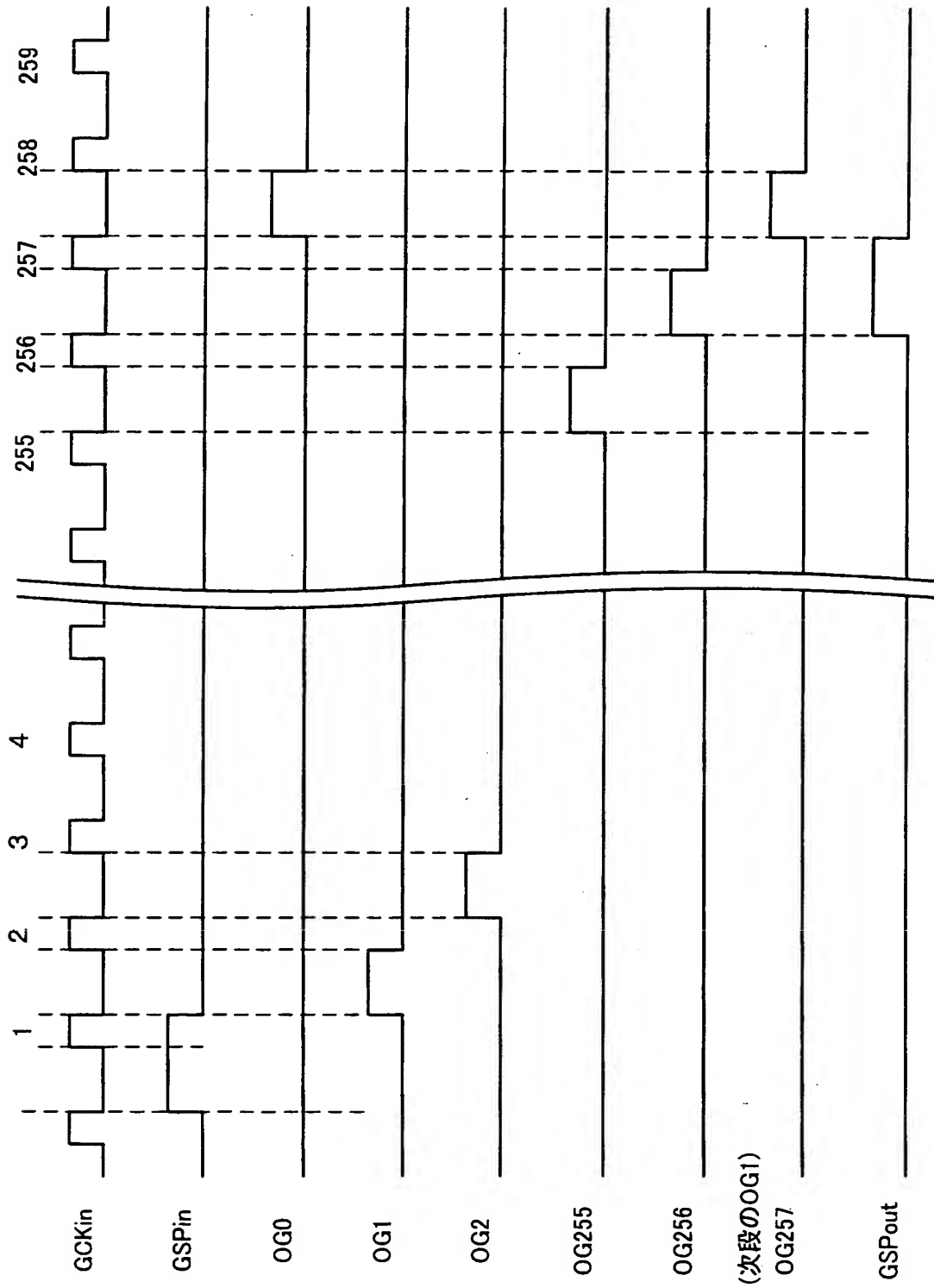
【図 2 9】



【図 3 0】



【図 3 1】



【書類名】 要約書

【要約】

【課題】 最上段にダミーの行ラインが設けられた表示パネルの行駆動を行う行駆動回路として、表示パネル外にプリント基板がない状態で配線接続された構造であって、かつ、設けられている順番で出力端子が駆動される既存のドライバICを用いて構成されている駆動回路を用いて、データイネーブル信号により表示タイミングが支配されるモードで表示を行うことが可能な表示装置を提供する。

【解決手段】 タイミングコントロールASICは、表示データがソースドライバから出力開始されるまでに存在する期間を利用し、データイネーブル信号ENABの入力タイミングを基準にしてゲートスタートパルス信号GSPおよびゲートクロック信号GCKの1パルス目CK1を生成する。これらをゲートドライバに入力し、ダミーラインを駆動する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社